

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2002年 8月27日

出願番号
Application Number: 特願2002-247299

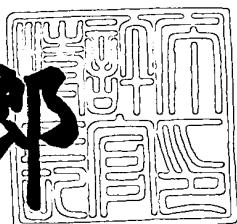
[ST.10/C]: [JP2002-247299]

出願人
Applicant(s): セイコーエプソン株式会社

2003年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3046095

【書類名】 特許願

【整理番号】 EP-0398601

【提出日】 平成14年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 森田 晶

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 鳥海 裕一

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーホームズ株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示駆動回路及び表示装置

【特許請求の範囲】

【請求項 1】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第1～第(M+N) (M、Nは正の整数) のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、

前記第1～第(M+N) のシフトレジスタブロックに供給される階調データに対してマスク制御を行った第1～第(M+N) の階調データを出力する第1～第(M+N) のデータマスク回路と、

前記データ入力制御回路を基準に第1の方向側の領域に配置され、前記第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、

前記データ入力制御回路を基準に前記第1の方向と反対の第2の方向側の領域に配置され、前記第(M+1)～第(M+N) の階調データを保持する第(M+1)～第(M+N) のシフトレジスタブロックと、

前記第1～第(M+N) のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、
を含み、

前記第1～第Mのシフトレジスタブロックは、

第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第1～第Mの階調データを保持し、

前記第(M+1)～第(M+N) のシフトレジスタブロックは、

第(M+1) のシフトレジスタブロックに入力される前記第Mのシフトレジスタブロックからのデータイネーブル信号をシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第(M+1)～第(M+N) の階調データを保持し、

前記第1～第Mのデータマスク回路は、

前記第2の方向に沿って第1～第Mのデータマスク回路の順に接続され、前記第1～第Mのデータマスク回路の順に前記第1～第Mの階調データのマスクを非解除状態に設定し、

前記第(M+1)～第(M+N)のデータマスク回路は、

前記第2の方向に沿って第(M+1)～第(M+N)のデータマスク回路の順に接続され、前記第(M+1)～第(M+N)のデータマスク回路の順に前記第(M+1)～第(M+N)の階調データのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項2】 請求項1において、

前記第1～第(M+N)の階調データのマスク制御を行うための第1～第(M+N)のデータマスク制御信号を生成する第1～第(M+N)のデータマスク制御回路を含み、

第a(1≤a≤M、aは整数)のデータマスク制御回路は、

前記第aのシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第aのデータマスク制御信号を生成し、

第b(M+1≤b≤M+N、bは整数)のデータマスク制御回路は、

前記第(b-1)のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第bのデータマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項3】 請求項2において、

第c(1≤c≤M+N、cは整数)のシフトレジスタブロックは、

所与のシフト信号が第1のレベルのとき、前記データイネーブル信号を前記第1の方向にシフトすると共に、該データイネーブル信号に基づいて第cの階調データを保持し、

前記シフト信号が第2のレベルのとき、前記データイネーブル信号を前記第2の方向にシフトすると共に、該データイネーブル信号に基づいて第cの階調データを保持し、

前記第cのデータマスク制御回路は、

前記シフト信号のレベルに応じて、前記第cのデータマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項4】 請求項1乃至3のいずれかにおいて、

前記第1～第(M+N)のシフトレジスタブロックに供給され前記データイネーブル信号のシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

前記第1～第(M+N)のシフトレジスタブロックに供給されるクロックに対してマスク制御を行った第1～第(M+N)のクロックを出力する第1～第(M+N)のクロックマスク回路と、

を含み、

前記第1～第Mのシフトレジスタブロックは、

前記クロック入力制御回路を基準に前記第1の方向側の領域に配置され、前記第1～第Mのクロックに基づいて前記データイネーブル信号をシフトし、

前記第(M+1)～第(M+N)のシフトレジスタブロックは、

前記クロック入力制御回路を基準に前記第2の方向側の領域に配置され、前記第(M+1)～第(M+N)のクロックに基づいて前記データイネーブル信号をシフトし、

前記第1～第Mのクロックマスク回路は、

前記第2の方向に沿って第1～第Mのクロックマスク回路の順に接続され、前記第1～第Mのクロックマスク回路の順に前記第1～第Mのクロックのマスクを非解除状態に設定し、

前記第(M+1)～第(M+N)のクロックマスク回路は、

前記第2の方向に沿って第(M+1)～第(M+N)のクロックマスク回路の順に接続され、前記第(M+1)～第(M+N)のクロックマスク回路の順に前記第(M+1)～第(M+N)のクロックのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項5】 請求項4において、

前記第1～第(M+N)のクロックをマスク制御するための第1～第(M+N)のクロックマスク制御信号を生成する第1～第(M+N)のクロックマスク制

御回路を含み、

第d ($1 \leq d \leq M$ 、dは整数) のクロックマスク制御回路は、

前記第dのシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第dのクロックマスク制御信号を生成し、

第e ($M+1 \leq e \leq M+N$ 、eは整数) のクロックマスク制御回路は、

前記第(e-1)のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第eのクロックマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項6】 請求項5において、

第f ($1 \leq f \leq M+N$ 、fは正の整数) のシフトレジスタブロックは、

所与のシフト信号が第1のレベルのとき、前記データイネーブル信号を前記第1の方向にシフトすると共に、前記第1の方向にシフトされるデータイネーブル信号に基づいて第fの階調データを保持し、

前記シフト信号が第2のレベルのとき、前記データイネーブル信号を前記第2の方向にシフトすると共に、前記第2の方向にシフトされるデータイネーブル信号に基づいて第fの階調データを保持し、

前記第fのクロックマスク制御回路は、

前記シフト信号のレベルに応じて、前記第fのクロックマスク制御信号を生成することを特徴とする表示駆動回路。

【請求項7】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第1～第(M+N) (M、Nは正の整数) のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

第1～第(M+N) のシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第1～第(M+N) のクロックを出力する第1～第(M+N) のクロックマスク回路と、

前記クロック入力制御回路を基準に第1の方向側の領域に配置され、第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、

前記クロック入力制御回路を基準に前記第1の方向と反対の第2の方向側の領域に配置され、第(M+1)～第(M+N)の階調データを保持する第(M+1)～第(M+N)のシフトレジスタブロックと、

前記第1～第(M+N)のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、
を含み、

前記第1～第Mのシフトレジスタブロックは、

第1のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第1～第Mのクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第1～第Mの階調データを保持し、

前記第(M+1)～第(M+N)のシフトレジスタブロックは、

第(M+1)のシフトレジスタブロックに入力される前記第Mのシフトレジスタからのデータイネーブル信号を前記第(M+1)～第(M+N)のクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第(M+1)～第(M+N)の階調データを保持し、

前記第1～第Mのクロックマスク回路は、

前記第2の方向に沿って第1～第Mのクロックマスク回路の順に接続され、前記第1～第Mのクロックマスク回路の順に前記第1～第Mのクロックのマスクを非解除状態に設定し、

前記第(M+1)～第(M+N)のクロックマスク回路は、

前記第2の方向に沿って第(M+1)～第(M+N)のクロックマスク回路の順に接続され、前記第(M+1)～第(M+N)のクロックマスク回路の順に前記第(M+1)～第(M+N)のクロックのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項8】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第1～第M(Mは正の整数)のシフトレジスタブロックに供給される階調デー

タの入力制御を行うデータ入力制御回路と、

前記第1～第Mのシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第1～第Mの階調データを出力する第1～第Mのデータマスク回路と、

前記データ入力制御回路を基準に第1の方向側の領域に配置され、前記第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、

前記第1～第Mのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第1～第Mのシフトレジスタブロックは、

第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第1の方向と反対の第2の方向に隣接するシフトレジスタブロックに出力すると共に、前記第1～第Mのデータマスク回路によりマスク制御された第1～第Mの階調データを該データイネーブル信号に基づいて保持し、

前記第1～第Mのデータマスク回路は、

前記第2の方向に沿って第1～第Mのデータマスク回路の順に接続され、前記第1～第Mのデータマスク回路の順に前記第1～第Mの階調データのマスクを非解除状態に設定することを特徴とする表示駆動回路。

【請求項9】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第1～第N（Nは正の整数）のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、

前記第1～第Nのシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第1～第Nの階調データを出力する第1～第Nのデータマスク回路と、

前記データ入力制御回路を基準に第2の方向側の領域に配置され、第1～第Nの階調データを保持する第1～第Nのシフトレジスタブロックと、

前記第1～第Nのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第1～第Nのシフトレジスタブロックは、

第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、前記第1～第Nのデータマスク回路によりマスク制御された第1～第Nの階調データを該データイネーブル信号に基づいて保持し、

前記第1～第Nのデータマスク回路は、

前記第2の方向に沿って第1～第Nのデータマスク回路の順に接続され、前記第1～第Nのデータマスク回路の順に前記第1～第Nの階調データのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項10】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第1～第M（Mは正の整数）のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

前記第1～第Mのシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った第1～第Mのクロックを出力する第1～第Mのクロックマスク回路と、

前記クロック入力制御回路を基準に第1の方向側の領域に配置され、第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、

前記第1～第Mのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第1～第Mのシフトレジスタブロックは、

第1のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第1～第Mのクロックに基づいてシフトして該第1の方向と反対の第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第1～第Mの階調データを保持し、

前記第1～第Mのクロックマスク回路は、

前記第2の方向に沿って第1～第Mのクロックマスク回路の順に接続され、前

記第1～第Mのクロックマスク回路の順に前記第1～第Mのクロックのマスクを非解除状態に設定することを特徴とする表示駆動回路。

【請求項11】 階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、

第1～第N（Nは正の整数）のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、

前記第1～第Nのシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第1～第Nのクロックを出力する第1～第Nのクロックマスク回路と、

前記クロック入力制御回路を基準に第2の方向側の領域に配置され、第1～第Nの階調データを保持する第1～第Nのシフトレジスタブロックと、

前記第1～第Nのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路と、

を含み、

前記第1～第Nのシフトレジスタブロックは、

第1のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第1～第Nのクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第1～第Nの階調データを保持し、

前記第1～第Nのクロックマスク回路は、

前記第2の方向に沿って第1～第Nのクロックマスク回路の順に接続され、前記第1～第Nのクロックマスク回路の順に前記第1～第Nのクロックのマスクを解除状態に設定することを特徴とする表示駆動回路。

【請求項12】 互いに交差する複数の走査電極及び複数の信号電極により特定される画素と、

前記走査電極を走査駆動する走査電極駆動回路と、

階調データに基づいて、前記信号電極を駆動する請求項1乃至11いずれか記載の表示駆動回路と、

を含むことを特徴とする表示装置。

【請求項13】 互いに交差する複数の走査電極及び複数の信号電極により特定される画素を含む表示パネルと、

前記走査電極を走査駆動する走査電極駆動回路と、

階調データに基づいて、前記信号電極を駆動する請求項1乃至11いずれか記載の表示駆動回路と、

を含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示駆動回路及び表示装置に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

例えば液晶パネル（広義には、表示パネル）では、階調表示によりカラー表現が行われる。そのため液晶パネルの信号電極を駆動する信号ドライバ（広義には、表示駆動回路）は、信号電極に対応する信号電極駆動回路を有する。各信号電極駆動回路は、対応するラッチに保持された階調データに応じた駆動電圧を出力する。

【0003】

ところで一般に、信号ドライバは、駆動対象の表示パネルの信号電極数が多い。したがって、表示パネルの縁に効率的に実装できるように、信号ドライバは信号電極の配列方向を長辺方向とし、該配列方向と交差する方向を短辺方向となるようにレイアウトされ、回路が形成される。このため、階調データを供給する階調バスは、信号ドライバの長辺方向に長くなり、階調バスの負荷が増大する。したがって、階調バスの駆動に伴う電力消費が大きくなる。

【0004】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、階調データの供給に伴う消費電力を削減することができる表示駆動回路及び表示装置を提供することにある。

【0005】

【課題を解決するための手段】

上記課題を解決するために本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第1～第 $(M+N)$ (M, N は正の整数) のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、前記第1～第 $(M+N)$ のシフトレジスタブロックに供給される階調データに対してマスク制御を行った第1～第 $(M+N)$ の階調データを出力する第1～第 $(M+N)$ のデータマスク回路と、前記データ入力制御回路を基準に第1の方向側の領域に配置され、前記第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、前記データ入力制御回路を基準に前記第1の方向と反対の第2の方向側の領域に配置され、前記第 $(M+1)$ ～第 $(M+N)$ の階調データを保持する第 $(M+1)$ ～第 $(M+N)$ のシフトレジスタブロックと、前記第1～第 $(M+N)$ のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Mのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第1～第Mの階調データを保持し、前記第 $(M+1)$ ～第 $(M+N)$ のシフトレジスタブロックは、第 $(M+1)$ のシフトレジスタブロックに入力される前記第Mのシフトレジスタブロックからのデータイネーブル信号をシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、シフトされるデータイネーブル信号に基づいて前記第 $(M+1)$ ～第 $(M+N)$ の階調データを保持し、前記第1～第Mのデータマスク回路は、前記第2の方向に沿って第1～第Mのデータマスク回路の順に接続され、前記第1～第Mのデータマスク回路の順に前記第1～第Mの階調データのマスクを非解除状態に設定し、前記第 $(M+1)$ ～第 $(M+N)$ のデータマスク回路は、前記第2の方向に沿って第 $(M+1)$ ～第 $(M+N)$ のデータマスク回路の順に接続され、前記第 $(M+1)$ ～第 $(M+N)$ の階調データのマスクを解除状態に設定する表示駆動回路に関係する。

【0006】

本発明においては、データ入力制御回路により入力制御が行われる階調データが各シフトレジスタブロックに取り込まれる。

【0007】

この場合に、データ入力制御回路を基準として第1の方向側の領域に第2の方向に沿って順に接続された第1～第Mのデータマスク回路を、第1～第Mのデータマスク回路の順にマスクを非解除状態に設定しながら、第1～第Mのシフトレジスタブロックは、第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Mの階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対する階調データの不要な駆動を回避することができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【0008】

一方、データ入力制御回路を基準として第2の方向側の領域に第2の方向に沿って順に接続された第(M+1)～第(M+N)のデータマスク回路を、第(M+1)～第(M+N)のデータマスク回路の順にマスクを解除状態に設定することにより、第(M+1)～第(M+N)のシフトレジスタブロックは、第2の方向にシフトされるデータイネーブル信号に基づいて第(M+1)～第(M+N)の階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次階調データを駆動していくことができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【0009】

また本発明に係る表示駆動回路は、前記第1～第(M+N)の階調データのマスク制御を行うための第1～第(M+N)のデータマスク制御信号を生成する第1～第(M+N)のデータマスク制御回路を含み、第a(1≤a≤M, aは整数)のデータマスク制御回路は、前記第aのシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第aのデータマスク制御信号を生成し、第b(M+1≤b≤M+N, bは整数)のデータマスク制御回路は、前記第(b-1)のシフトレジスタブロックから出力されたデータイネーブル信号に基づい

て前記第bのデータマスク制御信号を生成することができる。

【0010】

本発明によれば、順次シフトされるデータタイネーブル信号を用いてデータマスク制御信号を生成することができるので、不要な電力消費を削減する表示駆動回路を簡素な回路構成で実現することができる。

【0011】

また本発明に係る表示駆動回路は、第c ($1 \leq c \leq M+N$ 、cは整数) のシフトレジスタブロックは、所与のシフト信号が第1のレベルのとき、前記データタイネーブル信号を前記第1の方向にシフトすると共に、該データタイネーブル信号に基づいて第cの階調データを保持し、前記シフト信号が第2のレベルのとき、前記データタイネーブル信号を前記第2の方向にシフトすると共に、該データタイネーブル信号に基づいて第cの階調データを保持し、前記第cのデータマスク制御回路は、前記シフト信号のレベルに応じて、前記第cのデータマスク制御信号を生成することができる。

【0012】

本発明によれば、実装状態に応じて最適な配線長を得ることができるシフト方向の制御が可能であって、かつ不要な電力消費を削減する表示駆動回路を提供することができる。

【0013】

また本発明に係る表示駆動回路は、前記第1～第(M+N)のシフトレジスタブロックに供給され前記データタイネーブル信号のシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、前記第1～第(M+N)のシフトレジスタブロックに供給されるクロックに対してマスク制御を行った第1～第(M+N)のクロックを出力する第1～第(M+N)のクロックマスク回路とを含み、前記第1～第Mのシフトレジスタブロックは、前記クロック入力制御回路を基準に前記第1の方向側の領域に配置され、前記第1～第Mのクロックに基づいて前記データタイネーブル信号をシフトし、前記第(M+1)～第(M+N)のシフトレジスタブロックは、前記クロック入力制御回路を基準に前記第2の方向側の領域に配置され、前記第(M+1)～第(M+N)のクロックに基づいて

前記データイネーブル信号をシフトし、前記第1～第Mのクロックマスク回路は、前記第2の方向に沿って第1～第Mのクロックマスク回路の順に接続され、前記第1～第Mのクロックマスク回路の順に前記第1～第Mのクロックのマスクを非解除状態に設定し、前記第(M+1)～第(M+N)のクロックマスク回路は、前記第2の方向に沿って第(M+1)～第(M+N)のクロックマスク回路の順に接続され、前記第(M+1)～第(M+N)のクロックマスク回路の順に前記第(M+1)～第(M+N)のクロックのマスクを解除状態に設定することができる。

【0014】

本発明によれば、データイネーブル信号のシフトタイミングを規定し、かつ各シフトレジスタブロックに供給されるクロックについても、上述の階調データと同様にマスク制御を行うようにしたので、表示駆動回路における階調データの取り込みの際の不要な電力消費を大幅に削減することができる。

【0015】

また本発明に係る表示駆動回路は、前記第1～第(M+N)のクロックをマスク制御するための第1～第(M+N)のクロックマスク制御信号を生成する第1～第(M+N)のクロックマスク制御回路を含み、第d(1≤d≤M、dは整数)のクロックマスク制御回路は、前記第dのシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第dのクロックマスク制御信号を生成し、第e(M+1≤e≤M+N、eは整数)のクロックマスク制御回路は、前記第(e-1)のシフトレジスタブロックから出力されたデータイネーブル信号に基づいて前記第eのクロックマスク制御信号を生成することができる。

【0016】

本発明によれば、順次シフトされるデータイネーブル信号を用いてクロックマスク制御信号を生成することができるので、不要な電力消費を削減する表示駆動回路を簡素な回路構成で実現することができる。

【0017】

また本発明に係る表示駆動回路は、第f(1≤f≤M+N、fは正の整数)のシフトレジスタブロックは、所与のシフト信号が第1のレベルのとき、前記デー

タイネーブル信号を前記第1の方向にシフトすると共に、前記第1の方向にシフトされるデータタイネーブル信号に基づいて第fの階調データを保持し、前記シフト信号が第2のレベルのとき、前記データタイネーブル信号を前記第2の方向にシフトすると共に、前記第2の方向にシフトされるデータタイネーブル信号に基づいて第fの階調データを保持し、前記第fのクロックマスク制御回路は、前記シフト信号のレベルに応じて、前記第fのクロックマスク制御信号を生成することができる。

【0018】

本発明によれば、実装状態に応じて最適な配線長を得ることができるシフト方向の制御が可能であって、かつ不要な電力消費を削減する表示駆動回路を提供することができる。

【0019】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第1～第(M+N) (M, Nは正の整数) のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、第1～第(M+N) のシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第1～第(M+N) のクロックを出力する第1～第(M+N) のクロックマスク回路と、前記クロック入力制御回路を基準に第1の方向側の領域に配置され、第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、前記クロック入力制御回路を基準に前記第1の方向と反対の第2の方向側の領域に配置され、第(M+1)～第(M+N) の階調データを保持する第(M+1)～第(M+N) のシフトレジスタブロックと、前記第1～第(M+N) のシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Mのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータタイネーブル信号を前記第1～第Mのクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データタイネーブル信号に基づいて第1～第Mの階調データを保持し、前記第(M+1)～第(M+N) のシフトレジスタブロックは、第(M+1) のシフトレジ

スタブロックに入力される前記第Mのシフトレジスタからのデータイネーブル信号を前記第(M+1)～第(M+N)のクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第(M+1)～第(M+N)の階調データを保持し、前記第1～第Mのクロックマスク回路は、前記第2の方向に沿って第1～第Mのクロックマスク回路の順に接続され、前記第1～第Mのクロックマスク回路の順に前記第1～第Mのクロックのマスクを非解除状態に設定し、前記第(M+1)～第(M+N)のクロックマスク回路は、前記第2の方向に沿って第(M+1)～第(M+N)のクロックマスク回路の順に接続され、前記第(M+1)～第(M+N)のクロックマスク回路の順に前記第(M+1)～第(M+N)のクロックのマスクを解除状態に設定する表示駆動回路に関係する。

【0020】

本発明においては、クロック入力制御回路により入力制御が行われるクロックが各シフトレジスタブロックに供給される。

【0021】

この場合に、クロック入力制御回路を基準として第1の方向側の領域に第2の方向に沿って順に接続された第1～第Mのクロックマスク回路を、第1～第Mのクロックマスク回路の順にマスクを非解除状態に設定しながら、第1～第Mのシフトレジスタブロックは、供給されるクロックに基づき第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Mの階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対するクロックの不要な駆動を回避することができる。すなわち、階調データの供給に必要なタイミングのみクロックを供給すればよいので不要な電力消費を削減することができる。

【0022】

一方、クロック入力制御回路を基準として第2の方向側の領域に第2の方向に沿って順に接続された第(M+1)～第(M+N)のクロックマスク回路を、第(M+1)～第(M+N)のクロックマスク回路の順にマスクを解除状態に設定することにより、第(M+1)～第(M+N)のシフトレジスタブロックは、供

給されるクロックに基づき第2の方向にシフトされるデータイネーブル信号に基づいて第(M+1)～第(M+N)の階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次クロックを駆動していくことができる。すなわち、階調データの供給に必要なタイミングのみクロックを供給すればよいので不要な電力を削減することができる。

【0023】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第1～第M(Mは正の整数)のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、前記第1～第Mのシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第1～第Mの階調データを出力する第1～第Mのデータマスク回路と、前記データ入力制御回路を基準に第1の方向側の領域に配置され、前記第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、前記第1～第Mのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Mのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第1の方向と反対の第2の方向に隣接するシフトレジスタブロックに出力すると共に、前記第1～第Mのデータマスク回路によりマスク制御された第1～第Mの階調データを該データイネーブル信号に基づいて保持し、前記第1～第Mのデータマスク回路は、前記第2の方向に沿って第1～第Mのデータマスク回路の順に接続され、前記第1～第Mのデータマスク回路の順に前記第1～第Mの階調データのマスクを非解除状態に設定する表示駆動回路に関係する。

【0024】

本発明においては、データ入力制御回路を基準として第1の方向側の領域に第2の方向に沿って順に接続された第1～第Mのデータマスク回路を、第1～第Mのデータマスク回路の順にマスクを非解除状態に設定しながら、第1～第Mのシフトレジスタブロックは、第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Mの階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対する階調データの不要な駆動を回避すること

ができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【0025】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第1～第N（Nは正の整数）のシフトレジスタブロックに供給される階調データの入力制御を行うデータ入力制御回路と、前記第1～第Nのシフトレジスタブロックへ供給される階調データに対してマスク制御を行った第1～第Nの階調データを出力する第1～第Nのデータマスク回路と、前記データ入力制御回路を基準に第2の方向側の領域に配置され、第1～第Nの階調データを保持する第1～第Nのシフトレジスタブロックと、前記第1～第Nのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Nのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータイネーブル信号をシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、前記第1～第Nのデータマスク回路によりマスク制御された第1～第Nの階調データを該データイネーブル信号に基づいて保持し、前記第1～第Nのデータマスク回路は、前記第2の方向に沿って第1～第Nのデータマスク回路の順に接続され、前記第1～第Nのデータマスク回路の順に前記第1～第Nの階調データのマスクを解除状態に設定する表示駆動回路に関係する。

【0026】

本発明においては、データ入力制御回路を基準として第2の方向側の領域に第2の方向に沿って順に接続された第1～第Nのデータマスク回路を、第1～第Nのデータマスク回路の順にマスクを解除状態に設定することにより、第1～第Nのシフトレジスタブロックは、第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Nの階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次階調データを駆動していくことができる。すなわち、階調データの供給に必要なタイミングのみ、階調データが供給されるバスを駆動すればよいので不要な電力消費を削減することができる。

【0027】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動回路であって、第1～第M（Mは正の整数）のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、前記第1～第Mのシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った第1～第Mのクロックを出力する第1～第Mのクロックマスク回路と、前記クロック入力制御回路を基準に第1の方向側の領域に配置され、第1～第Mの階調データを保持する第1～第Mのシフトレジスタブロックと、前記第1～第Mのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Mのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第1～第Mのクロックに基づいてシフトして該第1の方向と反対の第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第1～第Mの階調データを保持し、前記第1～第Mのクロックマスク回路は、前記第2の方向に沿って第1～第Mのクロックマスク回路の順に接続され、前記第1～第Mのクロックマスク回路の順に前記第1～第Mのクロックのマスクを非解除状態に設定する表示駆動回路に関係する。

【0028】

本発明においては、クロック入力制御回路を基準として第1の方向側の領域に第2の方向に沿って順に接続された第1～第Mのクロックマスク回路を、第1～第Mのクロックマスク回路の順にマスクを非解除状態に設定しながら、第1～第Mのシフトレジスタブロックは、供給されるクロックに基づき第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Mの階調データを保持する。これにより、既に階調データを取り込んだシフトレジスタブロックに対するクロックの不要な駆動を回避することができる。すなわち、階調データの供給に必要なタイミングに対応してクロックを供給すればよいので不要な電力消費を削減することができる。

【0029】

また本発明は、階調データに基づいて表示装置の信号電極を駆動する表示駆動

回路であって、第1～第N（Nは正の整数）のシフトレジスタブロックに供給されシフトタイミングを規定するクロックの入力制御を行うクロック入力制御回路と、前記第1～第Nのシフトレジスタブロックへ供給されるクロックに対してマスク制御を行った前記第1～第Nのクロックを出力する第1～第Nのクロックマスク回路と、前記クロック入力制御回路を基準に第2の方向側の領域に配置され、第1～第Nの階調データを保持する第1～第Nのシフトレジスタブロックと、前記第1～第Nのシフトレジスタブロックに保持された階調データに対応した駆動電圧を用いて信号電極を駆動する信号電極駆動回路とを含み、前記第1～第Nのシフトレジスタブロックは、第1のシフトレジスタブロックに入力される所与のデータイネーブル信号を前記第1～第Nのクロックに基づいてシフトして前記第2の方向に隣接するシフトレジスタブロックに出力すると共に、該データイネーブル信号に基づいて第1～第Nの階調データを保持し、前記第1～第Nのクロックマスク回路は、前記第2の方向に沿って第1～第Nのクロックマスク回路の順に接続され、前記第1～第Nのクロックマスク回路の順に前記第1～第Nのクロックのマスクを解除状態に設定する表示駆動回路に関係する。

【0030】

本発明においては、クロック入力制御回路を基準として第2の方向側の領域に第2の方向に沿って順に接続された第1～第Nのクロックマスク回路を、第1～第Nのクロックマスク回路の順にマスクを解除状態に設定することにより、第1～第Nのシフトレジスタブロックは、供給されるクロックに基づき第2の方向にシフトされるデータイネーブル信号に基づいて第1～第Nの階調データを保持する。これにより、これから階調データを取り込むシフトレジスタブロックに対してのみ、順次クロックを駆動していくことができる。すなわち、階調データの供給に必要なタイミングに対応してクロックを供給すればよいので不要な電力消費を削減することができる。

【0031】

また本発明に係る表示装置は、互いに交差する複数の走査電極及び複数の信号電極により特定される画素と、前記走査電極を走査駆動する走査電極駆動回路と、階調データに基づいて、前記信号電極を駆動する上記いずれか記載の表示駆動

回路とを含むことができる。

【0032】

また本発明に係る表示装置は、互いに交差する複数の走査電極及び複数の信号電極により特定される画素を含む表示パネルと、前記走査電極を走査駆動する走査電極駆動回路と、階調データに基づいて、前記信号電極を駆動する上記いずれか記載の表示駆動回路とを含むことができる。

【0033】

本発明によれば、大幅に低消費電力化を図る表示装置を提供することができる

【0034】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0035】

1. 液晶装置

図1に、液晶装置の構成の概要を示す。

【0036】

液晶装置（広義には、電気光学装置、表示装置）10は、液晶パネル（広義には、表示パネル）20を含む。

【0037】

液晶パネル20は、例えばガラス基板上に形成される。このガラス基板上には、Y方向に複数配列されそれぞれX方向に伸びる第1～第A（Aは2以上の整数）の走査電極（ゲートライン）G₁～G_Aと、X方向に複数配列されそれぞれY方向に伸びる第1～第B（Bは2以上の整数）の信号電極（ソースライン）S₁～S_Bとが配置されている。

【0038】

第k（1≤k≤A、kは整数）の走査電極G_kと第j（1≤j≤B、jは整数

) の信号電極 S_j との交差位置に対応して、画素（画素領域）が配置される。該画素は、TFT（広義には、画素スイッチ素子） 22_{jk} を含む。

【0039】

TFT 22_{jk} のゲート電極は、第 k の走査電極 G_k に接続されている。TFT 22_{jk} のソース電極は、第 j の信号電極 S_j に接続されている。TFT 22_{jk} のドレイン電極は、液晶容量（広義には液晶素子） 24_{jk} の画素電極 26_{jk} に接続されている。

【0040】

液晶容量 24_{jk} においては、画素電極 26_{jk} に対向する対向電極 28_{jk} との間に液晶が封入されて形成され、これら電極間の印加電圧に応じて画素の透過率が変化するようになっている。対向電極 28_{jk} には、対向電極電圧 V_{com} が供給される。

【0041】

液晶装置 10 は、信号ドライバ 30 を含むことができる。信号ドライバ 30 として、以下の実施形態における表示駆動回路を適用することができる。信号ドライバ 30 は、階調データに基づいて、液晶パネル 20 の第 1 ~ 第 B の信号電極 $S_1 \sim S_B$ を駆動する。

【0042】

液晶装置 10 は、走査ドライバ 32 を含むことができる。走査ドライバ 32 は、一垂直走査期間内に、液晶パネル 20 の第 1 ~ 第 A の走査電極 $G_1 \sim G_A$ を順次駆動する。

【0043】

液晶装置 10 は、電源回路 34 を含むことができる。電源回路 34 は、信号電極の駆動に必要な電圧を生成し、信号ドライバ 30 に対して供給する。また電源回路 34 は、走査電極の駆動に必要な電圧を生成し、走査ドライバ 32 に対して供給する。

【0044】

液晶装置 10 は、図示しないコモン電極駆動回路を含むことができる。コモン電極駆動回路は、電源回路 34 によって生成された対向電極電圧 V_{com} が供給

され、該対向電極電圧 V_{com} を液晶パネル20の対向電極に出力する。

【0045】

液晶装置10は、LCDコントローラ36を含むことができる。LCDコントローラ36は、図示しない中央処理装置(Central Processing Unit:以下、CPUと略す。)等のホストにより設定された内容にしたがって、信号ドライバ30、走査ドライバ32、電源回路34を制御する。例えば、LCDコントローラ36は、信号ドライバ30及び走査ドライバ32に対し、動作モードの設定、内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路34に対し、極性反転タイミングの制御を行う。

【0046】

また液晶装置10には、例えば図示しないホストから画素単位でRGB各色6ビットの計18ビットの階調データが順次入力される。信号ドライバ30は、該階調データをラッチして第1～第Bの信号電極 $S_1 \sim S_B$ を駆動する。

【0047】

なお、ここでは液晶装置10はTFT型液晶装置して説明したが、液晶装置10が単純マトリクス型液晶装置であってもよい。

【0048】

また図1では、液晶装置10に走査ドライバ32、電源回路34、コモン電極駆動回路又はLCDコントローラ36を含めて構成するようにしているが、これらのうち少なくとも1つを液晶装置10の外部に設けて構成するようにしてもよい。或いは、液晶装置10に、ホストを含めるように構成することも可能である。

【0049】

また、少なくとも信号ドライバ30を、液晶パネル20のガラス基板上に形成することも可能である。すなわち、液晶パネル20の上述した画素が形成される画素形成領域と信号ドライバ30とが同一ガラス基板上に形成されるようにしてもよい。また、図2に示すように、走査ドライバ32を、信号ドライバ30と共に該ガラス基板上に設けてもよい。

【0050】

2. 信号ドライバ

次に、図1又は図2に示した信号ドライバ30について説明する。

【0051】

図3に、信号ドライバ30の構成の概要を示す。

【0052】

信号ドライバ30は、シフトレジスタ部40、ラインラッチ回路42、DAC回路44、信号電極駆動回路46を含む。

【0053】

シフトレジスタ部40には、階調データDATAがシリアルに入力される。より具体的には、階調データDATAは、クロックCLKに同期してシフトするデータイネーブル信号EIOに基づいて取り込まれる。この結果、シフトレジスタ部40には、例えば一水平走査期間に対応する階調データが取り込まれる。

【0054】

図3においてシフトレジスタ部40に入力されるシフト信号SHLは、シフトレジスタのシフト方向を規定する信号である。すなわち、シフトレジスタ部40は、シフト信号SHLのレベルに応じてシフト方向が切り替えられるようになっている。したがって、信号ドライバ30の実装状態に応じて、信号ドライバ30と駆動対象となるLCDパネル20の信号電極との位置関係が変化する場合に、シフト信号SHLのレベルを変更することで、両者を接続する配線の長さを最適化することができる。またシフトレジスタ部40に入力されるリセット信号RESETは、内部の各回路を初期化する信号である。更に水平同期信号Hsyncは、水平走査タイミングを規定する信号である。例えば水平同期信号Hsyncを用いることで、水平走査周期で行われるシフトされるシフトレジスタ内の状態を初期化することができる。

【0055】

ラインラッチ回路42は、ラッチパルス信号LPにより、シフトレジスタ部40に取り込まれた階調データをラッチする。

【0056】

DAC (Digital-to-Analog Converter) 回路44は、ラインラッチ回路42

にラッチされた階調データに対応した駆動電圧を信号電極ごとに生成する。このようなD A C回路4 4は、例えば信号電極単位で、ラインラッチ回路4 2にラッチされた階調データを読み出し、多値の駆動電圧の中から階調データのデコード結果に対応する駆動電圧を選択する。

【0057】

信号電極駆動回路4 6は、第1～第Bの信号電極 $S_1 \sim S_B$ それぞれに対応して、ボルテージフォロワ接続されたオペアンプ回路を含む。そして、各信号電極は、D A C回路4 4で生成された駆動電圧が入力される該オペアンプ回路により駆動される。

【0058】

ところで信号ドライバ3 0は、駆動すべき信号電極の数が多い。したがって、図4 (A) に示すように、信号ドライバ3 0の形状は信号電極の配列方向に長く、該配列方向と交差する方向に短くなることが一般的である。このような信号ドライバ3 0では、階調データを供給するための階調バスは信号ドライバ3 0の長辺方向に長くならざるを得ない。例えば各信号電極への配線長の差を小さくしたり、各種制御に必要な制御回路が中央部に設けられたりするため、図4 (B) に示すように信号ドライバ3 0の中央部付近から階調バスを各信号電極に向けて配線することが行われる。しかし、この場合でも信号電極数の増加により、信号ドライバの長辺方向に長くなる傾向は変わらない。

【0059】

このように負荷が重い階調バスの駆動には、電力消費が多く、携帯機器等に搭載される場合に問題となっている。また、高精細プロセス等によりパッドピッチや配線ピッチが狭くなったとしても、表示パネルの大きさは大きくなる傾向にあるため、階調バスの駆動に伴う電力消費を大幅に削減することができない。

【0060】

そこで信号ドライバ3 0に適用される表示駆動回路は、シリアルに入力される階調データを階調バスに供給する場合に、不要な部分の駆動を行わないようにして、無駄な電力消費を削減することができる。

【0061】

図5に、信号ドライバに適用される表示駆動回路のシフトレジスタ部の構成の概要を示す。

【0062】

なおここでは、各回路の接続関係に加えて、レイアウト配置も模式的に示している。すなわち図5では、シフトレジスタ部40は、信号電極の配列方向である信号ドライバの長辺方向に沿って形成されている状態を示している。

【0063】

シフトレジスタ部40は、複数画素単位に分割されたシフトレジスタ (Shift Register: 以下、SRと略す。) ブロック $BLK_1 \sim BLK_{M+N}$ (M, N は正の整数) を含む。以下では説明を簡略化するために、シフトレジスタ部40の各 SR ブロックは4画素単位に分割されているものとし、シフトレジスタ部40は SR ブロック $BLK_1 \sim BLK_8$ (すなわち $M=N=4$) を含むものとする。例えば SR ブロック BLK_1 は、1画素当たり 18ビットからなる階調データ (例えば $D0_1$) を4画素分 ($D0_1 \sim D3_1$) ラッチして出力することを意味している。

【0064】

シフトレジスタ部40に取り込まれる階調データは、データ入力制御回路50により入力制御される。データ入力制御回路50は、一水平走査期間が開始されると、例えば画素単位でシリアルに入力される階調データを SR ブロック $BLK_1 \sim BLK_8$ に順次供給し、一水平走査期間分の階調データの取り込みが終了すると SR ブロック $BLK_1 \sim BLK_8$ への階調データの出力を固定して無駄な電力消費を抑える。このようなデータ入力制御回路50は、信号ドライバ30の長辺方向について、ほぼ中央部に配置される。

【0065】

すなわち、SR ブロック $BLK_1 \sim BLK_4$ (すなわち $M=4$) は、データ入力制御回路50を基準として右 (広義には第1の方向) 側の領域に配置されている。SR ブロック $BLK_5 \sim BLK_8$ (すなわち $N=4$) は、データ入力制御回路50を基準として左 (広義には第1の方向と反対の第2の方向) 側の領域に配置されている。

【0066】

信号ドライバ30の長辺方向について、ほぼ中央部から入力されたデータイネーブル信号EIOは、データイネーブル信号EIO₀としてSRブロックBLK₁に入力される。

【0067】

SRブロックBLK_i ($1 \leq i \leq 8$) は、データイネーブル信号EIO_{i-1} (第(i-1)のデータイネーブル信号) をクロックCLKに同期してシフトし、左方向に隣接して配置されたSRブロックBLK_{i+1}に出力する。SRブロックBLK_i からシフト出力されるデータイネーブル信号は、データイネーブル信号EIO_i (第iのデータイネーブル信号) として出力される。

【0068】

SRブロックBLK_i は、第iのデータイネーブル信号EIO_i 及び内部で第iのデータイネーブル信号EIO_i がシフトされたデータイネーブル信号に基づいて第iの階調データDATA_iをラッチする。例えばSRブロックBLK₁では、クロックCLKに同期して第0のデータイネーブル信号EIO₀をシフトすると共に、各シフトタイミングに同期してシリアルに入力される第1の階調データDATA₁を各データイネーブル信号に基づいてラッチする。こうすることで、SRブロックBLK₁は、4画素分の階調データをラッチすることができる。なおSRブロックBLK₁は、クロックCLKの次のタイミングで第1のデータイネーブル信号EIO₁をシフト出力することになる。

【0069】

なお、SRブロックBLK₈からシフト出力された第8のデータイネーブル信号EIO₈は、データ入力制御回路50に入力される。こうすることでデータ入力制御回路50は、第0のデータイネーブル信号EIO₀に同期してSRブロックBLK₁に第1の階調データDATA₁を出力させて階調データの供給を開始し、第8のデータイネーブル信号EIO₈に基づいて階調データの供給を終了させることができる。したがって、SRブロックBLK₁～BLK₈に取り込まれる第1～第8の階調データDATA₁～DATA₈が入力されるときの階調データを出し、それ以外の階調データの取り込みが行われない期間では階調データ

の出力を固定することで、階調データの不要な駆動を削除し、電力消費を削減することができる。

【0070】

またシフトレジスタ部40は、SRブロックBLK₁～BLK₈それぞれに対応して第1～第8のデータマスク回路52₁～52₈を含む。第1～第4のデータマスク回路52₁～52₄は、データ入力制御回路50を基準として右側の領域に、右方向に第4のデータマスク回路52₄、第3のデータマスク回路52₃、・・・、第1のデータマスク回路52₁の順に接続されて配置されている。すなわち、第4のデータマスク回路52₄が出力する第4の階調データDATA₄は、第3のデータマスク回路52₃に入力される。第3のデータマスク回路52₃が出力する第3の階調データDATA₃は、第2のデータマスク回路52₂に入力される。第2のデータマスク回路52₂が出力する第2の階調データDATA₂は、第1のデータマスク回路52₁に入力される。

【0071】

また第5～第8のデータマスク回路52₅～52₈は、データ入力制御回路50を基準として左側の領域に、左方向に第5のデータマスク回路52₅、第6のデータマスク回路52₆、・・・、第8のデータマスク回路52₈の順に接続されて配置されている。すなわち、第5のデータマスク回路52₅が出力する第5の階調データDATA₅は、第6のデータマスク回路52₆に入力される。第6のデータマスク回路52₆が出力する第6の階調データDATA₆は、第7のデータマスク回路52₇に入力される。第7のデータマスク回路52₇が出力する第7の階調データDATA₇は、第8のデータマスク回路52₈に入力される。

【0072】

第1～第8のデータマスク回路52₁～52₈は、SRブロックBLK₁～BLK₈に供給される階調データに対してマスク制御を行った第1～第8の階調データDATA₁～DATA₈を出力する。ここで階調データに対するマスク制御とは、当該データマスク回路からの出力を固定する制御を行うことをいう。このようなマスク制御において、マスクの解除状態ではデータマスク回路からは入力された階調データがそのまま出力され、マスクの非解除状態ではデータマスク回

路からの出力が論理レベル「H」又は「L」等に固定される。

【0073】

図5において、データ入力制御回路50から出力された階調データ（第0の階調データDATA₀）は、第4のデータマスク回路52₄に入力される。第4のデータマスク回路52₄は、第0の階調データDATA₀に対してマスク制御を行って第4の階調データDATA₄を出力する。第4の階調データDATA₄は、SRブロックBLK₄と第3のデータマスク回路52₃とに入力される。第4の階調データDATA₄がSRブロックBLK₄に入力された場合、第3のデータタイネーブル信号EIO₃がシフト出力されているときに該階調データがラッチされる。一方、第3のデータマスク回路52₃は、第4の階調データDATA₄に対してマスク制御を行って第3の階調データDATA₃を生成する。第3の階調データDATA₃は、SRブロックBLK₃と第2のデータマスク回路52₂とに入力される。

【0074】

したがって、第4及び第3のデータマスク回路52₄、52₃のマスク制御タイミングを工夫することで、データ入力制御回路50を介してシリアルに入力されるSRブロックBLK₃への階調データを、第3のデータマスク回路52₃から第3の階調データDATA₃として供給することができる。

【0075】

第2及び第1のデータマスク回路52₂、52₁についても同様である。ただし、第1のデータマスク回路52₁で生成された第1の階調データDATA₁は、SRブロックBLK₁にのみ供給される。

【0076】

図5において、データ入力制御回路50から出力された階調データ（第0の階調データDATA₀）は、第5のデータマスク回路52₅に入力される。第5のデータマスク回路52₅は、第0の階調データDATA₀に対してマスク制御を行って第5の階調データDATA₅を出力する。第5の階調データDATA₅は、SRブロックBLK₅と第6のデータマスク回路52₆とに入力される。第5の階調データDATA₅がSRブロックBLK₅に入力された場合、第4のデータ

タイネーブル信号 E I O₄ がシフト出力されているときに該階調データがラッチされる。一方、第6のデータマスク回路 52₆ は、第5の階調データ DATA₅ に対してマスク制御を行って第6の階調データ DATA₆ を生成する。第6の階調データ DATA₆ は、 SR ブロック BLK₆ と第7のデータマスク回路 52₇ とに入力される。

【0077】

第7及び第8のデータマスク回路 52₇、52₈についても同様である。ただし、第8のデータマスク回路 52₈ で生成された第8の階調データ DATA₈ は、 SR ブロック BLK₈ にのみ供給される。

【0078】

ところで、図5においては、データ入力制御回路 50 を基準とした右側の領域では、左方向にシフトされるデータタイネーブル信号に基づいてラッチされる第1～第4の階調データは右方向に転送される。したがって、 SR ブロック BLK₁ ～BLK₄ については、データタイネーブル信号のブロック単位のシフトタイミングに応じて、第1のデータマスク回路 52₁、第2のデータマスク回路 52₂、・・・、第4のデータマスク回路 52₄ の順にその出力である階調データのマスクを非解除状態にする（出力を固定する）ようにしている。これにより、階調データが供給される階調バスを、各 SR ブロックのシフトタイミングを考慮して順次不要となった部分を駆動しなくて済み、駆動に伴う無駄な電力消費を大幅に抑えることができる。

【0079】

また、データ入力制御回路 50 を基準とした左側の領域では、左方向にシフトされるデータタイネーブル信号に基づいてラッチされる第5～第8の階調データは左方向に転送される。したがって、 SR ブロック BLK₅ ～BLK₈ については、データタイネーブル信号のブロック単位のシフトタイミングに応じて、第5のデータマスク回路 52₅、第6のデータマスク回路 52₆、・・・、第8のデータマスク回路 52₈ の順にその出力である階調データのマスクを解除状態にするようにしている。これにより、階調データが供給される階調バスを、各 SR ブロックのシフトタイミングを考慮して順次必要となった部分から駆動することで、駆

動に伴う無駄な電力消費を大幅に抑えることができる。

【0080】

なお、図5では階調データのマスク制御を行うことで低消費化を図るようにしていたが、信号電極の配列方向に配置され各SRブロックに共通に接続される制御信号やその他のバスについても同様のマスク制御を行うことで低消費化を図ることができる。

【0081】

以下では、構成についてより具体的に説明する。

【0082】

2. 1 第1の実施形態

図6に、第1の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示す。

【0083】

なお図6に示すシフトレジスタ部と同一部分には同一符号を付し、適宜説明を省略する。

【0084】

第1の実施形態における表示駆動回路は、図3に示す信号ドライバに適用することができる。この場合、図6のシフトレジスタ部は図3のシフトレジスタ部40に相当する。

【0085】

図6においては、第1～第8のデータマスク回路 $52_1 \sim 52_8$ のそれぞれに対応して、第1～第8のデータマスク制御回路 $54_1 \sim 54_8$ が設けられている。第1～第8のデータマスク制御回路 $54_1 \sim 54_8$ は、第1～第8のデータマスク制御信号 $DM_1 \sim DM_8$ を生成する。第1～第8のデータマスク回路 $52_1 \sim 52_8$ は、第1～第8のデータマスク制御信号 $DM_1 \sim DM_8$ に基づいて階調データのマスク制御を行って、第1～第8の階調データ $DATA_1 \sim DATA_8$ を出力する。

【0086】

データ入力制御回路50を基準として右側の領域では、SRブロックを含む第

1の系の第1～第4の回路ブロックを形成することができる。またデータ入力制御回路50を基準とした左側の領域では、SRブロックを含む第2の系の第5～第8の回路ブロックを形成することができる。第1及び第2の系では、上述したようにマスク制御方法が異なり、データマスク制御信号の生成方法が異なる。

【0087】

2. 1. 1 第1の系

図7に、第1の実施形態における第1の系の回路ブロックの構成の概要を示す。

【0088】

ここでは、第a ($1 \leq a \leq M (= 4)$ 、aは整数) の回路ブロック 60_a を示す。第aの回路ブロックは、SRブロック BLK_a 、第aのデータマスク回路 52_a 、第aのデータマスク制御回路 54_a を含む。

【0089】

第aのデータマスク制御回路 54_a は、SRブロック BLK_a からシフト出力されたデータイネーブル信号 EIO_a (第aのデータイネーブル信号)に基づいて第aのデータマスク制御信号 DM_a を生成する。

【0090】

第aのデータマスク回路 52_a は、第aのデータマスク制御信号 DM_a により、第(a+1)の階調データ $DATA_{a+1}$ に対しマスク制御を行った第aの階調データ $DATA_a$ を生成する。

【0091】

このような構成により、第1の系では、第1～第4のデータマスク回路 52_1 ～ 52_4 は、順次マスクの解除状態から非解除状態に設定することになる。

【0092】

このようにマスク制御された第aの階調データ $DATA_a$ は、SRブロック BLK_a において、第(a-1)のデータイネーブル信号 EIO_{a-1} をシフトしたタイミングでラッチされる。そして、SRブロック BLK_a から4画素分の階調データが読み出され、ラインラッチにラッチされる。その後、ラッチされた階調データに対応した駆動電圧が生成され、信号電極駆動回路から出力される。

【0093】

2. 1. 2 第2の系

図8に、第1の実施形態における第2の系の回路ブロックの構成の概要を示す。

【0094】

ここでは、第 b ($M+1 (=5) \leq b \leq M+N (=8)$ 、 b は整数) の回路ブロック 60_b を示す。第 b の回路ブロックは、SRブロック BLK_b 、第 b のデータマスク回路 52_b 、第 b のデータマスク制御回路 54_b を含む。

【0095】

第 b のデータマスク制御回路 54_b は、SRブロック BLK_{b-1} からシフト出力されたデータイネーブル信号 EIO_{b-1} (第 $(b-1)$ のデータイネーブル信号)に基づいて第 b のデータマスク制御信号 DM_b を生成する。

【0096】

第 b のデータマスク回路 52_b は、第 b のデータマスク制御信号 DM_b により、第 $(b-1)$ の階調データ $DATA_{b-1}$ に対しマスク制御を行った第 b の階調データ $DATA_b$ を生成する。

【0097】

このような構成により、第2の系では、第5～第8のデータマスク回路 52_5 ～ 52_8 は、前段の階調データに対して順次マスクを非解除状態から解除状態に設定することになる。

【0098】

このようにマスク制御された第 b の階調データ $DATA_b$ は、SRブロック BLK_b において、第 $(b-1)$ のデータイネーブル信号 EIO_{b-1} をシフトしたタイミングでラッチされる。そして、SRブロック BLK_b から4画素分の階調データが読み出され、ラインラッチにラッチされる。その後、ラッチされた階調データに対応した駆動電圧が生成され、信号電極駆動回路から出力される。

【0099】

2. 1. 3 タイミング例

図9に、図6に示した表示駆動回路の階調データの取り込みタイミングの一例

を示す。

【0100】

SRブロック BLK₁ ~ BLK₈ には、第0~第7のデータイネーブル信号 EIO₀ ~ EIO₇ が入力される。各 SRブロックでは、入力されたデータイネーブル信号をシフトし、隣接する SRブロックに順次データイネーブル信号を出力していく。各 SRブロック内では、シフトされたデータイネーブル信号の立ち下がりエッジで、入力される階調データをラッチする。

【0101】

データ入力制御回路 50 は、第0のデータイネーブル信号 EIO₀ の入力タイミングに合わせて階調データを第4及び第5のデータマスク回路 52₄、52₅ に出力する。第4のデータマスク回路 52₄ は、マスクが解除状態に設定されているため、入力された階調データがそのまま第3のデータマスク回路 52₃ に出力される。同様にして、第3、第2及び第1のデータマスク回路 52₃、52₂、52₁ を介して出力された階調データは、第1の階調データ DATA₁ として SRブロック BLK₁ に出力される。SRブロック BLK₁ では、4画素分の階調データが順次取り込まれる。

【0102】

一方、第5のデータマスク回路 52₅ は、マスクが非解除状態に設定されているため、その出力が論理レベル「L」に固定された状態となっており、第6のデータマスク回路 52₆ 以降にデータ入力制御回路 50 からの階調データが供給されることはない。

【0103】

続く SRブロック BLK₂ に対応する階調データについては、第2のデータマスク回路 52₂ までは上述と同様である。第1のデータマスク制御回路 54₁ は、SRブロック BLK₁ からシフト出力された第1のデータイネーブル信号 EIO₁ に基づいて第1のデータマスク制御信号 DM₁ を生成する。そして、第1のデータマスク回路 52₁ は、次のデータイネーブル信号のシフトタイミング以降、第1のデータマスク制御信号 DM₁ を用いてその出力を論理レベル「L」に固定する。

【0104】

同様にして第3及び第4のデータマスク回路 52_3 、 52_4 は、順次その出力が論理レベル「L」に固定していく。

【0105】

この結果、図9に示すように、第1の系の第1～第4の階調データ $DATA_1$ ～ $DATA_4$ は、次のようになる。

【0106】

第1の階調データ $DATA_1$ は、SRブロック BLK_1 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第2の階調データ $DATA_2$ は、SRブロック BLK_1 、 BLK_2 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第3の階調データ $DATA_3$ は、SRブロック BLK_1 ～ BLK_3 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第4の階調データ $DATA_4$ は、SRブロック BLK_1 ～ BLK_4 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0107】

SRブロック BLK_4 から第4のデータイネーブル信号 EIO_4 がシフト出力されると、第5のデータマスク制御回路 54_5 において生成された第5のデータマスク制御信号 DM_5 により、第5のデータマスク回路 52_5 の出力のマスクが解除状態に設定される。このときデータ入力制御回路50からは、SRブロック BLK_5 に対応する階調データが入力される。したがって、SRブロック BLK_5 は、第5の階調データ $DATA_5$ をラッチすることができる。しかし、この時点で第6のデータマスク回路 52_6 の出力は、マスクが非解除状態のままである。

【0108】

次に、SRブロック BLK_5 から第5のデータイネーブル信号 EIO_5 がシフト出力されると、第6のデータマスク制御回路 54_6 において生成された第6のデータマスク制御信号 DM_6 により、第6のデータマスク回路 52_6 の出力のマスクが解除状態に設定される。このときデータ入力制御回路50からは、解除状

態のままに設定された第5のデータマスク回路 52_5 を介してSRブロック BLK_6 に対応する階調データが入力される。したがって、SRブロック BLK_6 は、第6の階調データ $DATA_6$ をラッチすることができる。しかし、この時点で第7のデータマスク回路 52_7 の出力は、マスクが非解除状態のままである。

【0109】

同様にして、SRブロック BLK_7 、 BLK_8 では、順次第7及び第8の階調データ $DATA_7$ 、 $DATA_8$ がラッチされる。

【0110】

この結果、図9に示すように、第2の系の第5～第8の階調データ $DATA_5$ ～ $DATA_8$ は、次のようになる。

【0111】

第8の階調データ $DATA_8$ は、SRブロック BLK_8 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第7の階調データ $DATA_7$ は、SRブロック BLK_7 、 BLK_8 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第6の階調データ $DATA_6$ は、SRブロック BLK_6 ～ BLK_8 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第5の階調データ $DATA_5$ は、SRブロック BLK_5 ～ BLK_8 に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0112】

2. 1. 4 比較例

ここで、比較例を挙げ、上述した第1の実施形態の効果を説明する。

【0113】

図10（A）に、比較例におけるシフトレジスタ部の構成の一例を示す。

【0114】

比較例におけるシフトレジスタ部70では、データイネーブル信号EIOをシフトし、シフトされたデータイネーブル信号に基づいて、各フリップフロップに共通に接続された階調バス上の階調データを順次取り込んでいく。

【0115】

図10（B）に、比較例におけるシフトレジスタ部の動作タイミングの一例を示す。

【0116】

階調バス上には、画素単位で階調データがシリアルに供給される。したがって、各フリップフロップは、データタイネーブル信号EIOがシフトするたびに、順次階調バス上の階調データを取り込んでいくことになる。

【0117】

ところで、図10（A）に示すように、階調バスはシフトレジスタ部70の各フリップフロップに共通に接続されている。そのため、一水平走査周期分の階調データをラッチし終わるまで、階調バスは、保持すべき階調データの値に応じて論理レベル「H」、「L」の駆動を繰り返すことになる。すなわち、1画素目の階調データのラッチが終了すると、1画素目のフリップフロップに接続される階調バスへの駆動は不要であるにも関わらず、1水平走査期間分の最終画素の階調データのラッチが終了するまで駆動されることになる。

【0118】

これに対して、第1の実施形態では、図9に示すように、第1の系では不要になった部分の駆動を行うことなく、第2の系では必要になった部分から駆動を開始していくことで、階調バスの駆動に伴う無駄な電力消費を大幅に削減することができる。

【0119】

2. 1. 5 詳細な回路構成例

図11に、第1の実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図を示す。

【0120】

シフトレジスタ部90は、図3に示したシフトレジスタ部40に相当する。このシフトレジスタ部90は、図7に示した構成の第1の系の第1～第4の回路ブロック $60_1 \sim 60_4$ と、図8に示した構成の第2の系の第5～第8の回路ブロック $60_5 \sim 60_8$ を含む。

【0121】

シフトレジスタ部90には、シフト信号S H Lが入力され、第1～第8の回路ブロック60₁～60₈に供給されている。第1～第8の回路ブロック60₁～60₈は、シフト信号S H Lの論理レベルに応じて、シフト方向を第1又は第2の方向に切り替えられるようになっている。

【0122】

シフトレジスタ部90に入力される水平同期信号H s y n cに基づき、第1～第8の回路ブロック60₁～60₈のフリップフロップの初期化が行われる。また、シフトレジスタ部90に入力されるリセット信号X R E Sに基づき、第1～第8の回路ブロック60₁～60₈の内部状態が初期化される。

【0123】

シフトレジスタ部90に入力される階調データは、データ入力制御回路50によりその出力が制御される。データ入力制御回路50は、データ端子Dが電源電位に接続されたフリップフロップを有し、反転出力端子X Qにより階調データD A T Aの出力が制御される。このフリップフロップは、シフト信号S H Lに応じてデータイネーブル信号E I O₈又はデータイネーブル信号E I O₈'に基づいてデータ端子Dのレベルをラッチする。

【0124】

ここで、第8のデータイネーブル信号E I O₈は、第1の回路ブロック60₁に入力された第0のデータイネーブル信号E I O₀がシフトされて第8の回路ブロック60₈からシフト出力されたものである。また、データイネーブル信号E I O₈'は、第8の回路ブロック60₈に入力されたデータイネーブル信号E I O₀'がシフトされて第1の回路ブロック60₁からシフト出力されたものである。第1～第8の回路ブロック60₁～60₈は、シフト信号S H Lが第1のレベルのときデータイネーブル信号を第1の方向にシフトし、第2のレベルのときデータイネーブル信号を第2の方向にシフトするようになっている。

【0125】

図12に、第1の回路ブロックに含まれるS Rブロックの回路構成の一例を示す。

【0126】

第1～第8の回路ブロック $60_1 \sim 60_8$ に含まれるSRブロックは、全て同一構成とすることができます。実際には1画素当たり18ビットで構成されるが、図12では画素単位に回路を簡素化して示している。

【0127】

SRブロック100は、画素単位に設けられた階調データ保持部 $102_0 \sim 102_3$ を含む。階調データ保持部 102_i ($0 \leq i \leq 3$ 、 i は整数)は、ラッチ回路 104_{i-1} 、 104_{i-2} 、 106_{i-1} 、 106_{i-2} を含む。各ラッチ回路は、C端子に入力された信号の論理レベルが「H」の期間、D端子から入力された信号をM端子から出力させて、C端子に入力された信号の論理レベルが「L」に変化した時点のD端子の論理レベルを保持するレベルラッチ回路である。

【0128】

階調データ保持部 102_i では、ラッチ回路 104_{i-1} のM端子とラッチ回路 104_{i-2} のD端子とが接続される。そして、ラッチ回路 104_{i-1} のM端子がセレクタ回路 108_i の一方の入力端子に入力される。

【0129】

入力端子EI1から階調データ保持部 102_0 のラッチ回路 104_{0-1} のD端子に入力されたデータイネーブル信号は、図12に示すように、クロックCLKの半周期ごとに各ラッチ回路で保持され、最終的に階調データ保持部 102_3 のラッチ回路 104_{3-2} のM端子から出力される。

【0130】

また階調データ保持部 102_i では、ラッチ回路 106_{i-1} のM端子とラッチ回路 106_{i-2} のD端子とが接続される。そして、ラッチ回路 106_{i-1} のM端子がセレクタ回路 108_i の他方の入力端子に入力される。

【0131】

入力端子EI2から階調データ保持部 102_3 のラッチ回路 106_{3-1} のD端子に入力されたデータイネーブル信号は、図12に示すように、クロックCLKの半周期ごとに各ラッチ回路で保持され、最終的に階調データ保持部 102_0 のラッチ回路 106_{0-2} のM端子から出力される。

【0132】

セレクタ回路 $108_0 \sim 108_3$ は、シフト信号S H Lの論理レベルが「H」のときラッチ回路 $106_0 - 1 \sim 106_3 - 1$ のM端子からの出力を選択し、シフト信号S H Lの論理レベルが「L」のときラッチ回路 $104_0 - 1 \sim 104_3 - 1$ のM端子からの出力を選択する。セレクタ回路 $108_0 \sim 108_3$ の出力は、階調データラッチ回路 $110_0 \sim 110_1$ のC端子に接続される。階調データラッチ回路 $110_0 \sim 110_1$ のD端子には階調データDATAが供給される階調バスが接続され、そのM端子から保持された階調データD 0 ~ D 3が出力される。

【0133】

このようにSRブロックは、クロックCLKの半周期ごとに、データタイネーブル信号をシフトし、シフトされたデータタイネーブル信号に基づいて階調バス上の階調データを保持する。

【0134】

なお、第2の系における各回路ブロックのSRブロックでも、図12に示す構成と同様の構成で実現することができる。

【0135】

図13に、データマスク制御回路及びデータマスク回路の回路構成例を示す。

【0136】

ここでは第1の系の第2のデータマスク制御回路 54_1 と、第2のデータマスク回路 52_2 の構成例を示すが、第1の系の他のデータマスク制御回路、他のデータマスク回路、又は第2の系の場合でも同様の構成で実現することができる。

【0137】

第2のデータマスク制御回路 54_2 では、シフト信号S H Lの論理レベルに応じて、SRブロックBLK $_2$ 、BLK $_3$ のいずれかからシフト出力されたデータタイネーブル信号を、シフト信号S H Lを反転させた反転シフト信号X S H Lに応じて位相を反転させて、フリップフロップFF $_2$ のC端子に入力させる。フリップフロップFF $_2$ のD端子は電源電位Vddに接続され、R端子は水平同期信号H syncが入力される。フリップフロップFF $_2$ のQ端子からの出力は、反転シ

フト信号XSHLに応じて位相を反転させて、第2のデータマスク制御信号DM₂として出力される。

【0138】

第2のデータマスク回路52₂では、第3の階調データDATA₃と、第2のデータマスク制御信号DM₂との論理積をとり、第2の階調データDATA₂として出力させる。

【0139】

このように第2のデータマスク制御回路54₂は、シフト方向に応じてSRブロックBLK₂、BLK₃のいずれかからシフト出力されたデータイネーブル信号によりフリップフロップFF₂をセットし、当該水平走査期間においてそれ以後、第2のデータマスク回路52₂により第3の階調データDATA₃に対するマスクを非解除状態に設定することができる。

【0140】

図14に、第1の系の回路ブロックの動作タイミングの一例を示す。

【0141】

データイネーブル信号EIOが入力され、画素単位で順次階調データDATAが入力されると、データ入力制御回路50は第4及び第5の回路ブロック60₄、60₅に対して、第0の階調データDATA₀を出力する。

【0142】

第1～第4の回路ブロック60₁～60₄に着目すると、例えばデータイネーブル信号EIOは第0のデータイネーブル信号EIO₀として第1の回路ブロック60₁から第4の回路ブロック60₄の方向にシフトされる。したがって、第2のデータマスク回路52₁は、第1のデータイネーブル信号EIO₁がシフト出力されるまで第1の階調データDATA₁のマスクを解除状態にし、第1のデータイネーブル信号EIO₁がシフト出力されると第1の階調データDATA₁のマスクを非解除状態に設定する(T1)。

【0143】

同様に、第2の回路ブロック60₂の第2のデータマスク回路52₂は、第2のデータイネーブル信号EIO₂がシフト出力されるまで第2の階調データDA

T A₂ のマスクを解除状態にし、第2のデータイネーブル信号 E I O₂ がシフト出力されると第2の階調データ DATA₂ のマスクを非解除状態に設定する (T₂)。

【0144】

第3及び第4の回路ブロック 60₃、60₄ でも同様に上述のマスク制御が行われる。このように第1～第4のデータマスク回路 52₁～52₄ は、第1～第4のデータイネーブル信号 E I O₁～E I O₄ がシフト出力されるまで第1～第4の階調データ DATA₁～DATA₄ のマスクを解除状態にし、第1～第4のデータイネーブル信号 E I O₁～E I O₄ がシフト出力されると第1～第4の階調データ DATA₁～DATA₄ のマスクを非解除状態に設定する (T₁～T₄)。したがって、階調データの供給に必要なタイミングのみ、バスを駆動すればよいので不要な電力消費を大幅に削減することができる。

【0145】

図15に、第2の系の動作タイミングの一例を示す。

【0146】

データイネーブル信号 E I O が入力され、画素単位で順次階調データ DATA が入力されると、データ入力制御回路 50 は第4及び第5の回路ブロック 60₄、60₅ に対して、第0の階調データ DATA₀ を出力する。

【0147】

ここでは、第2の系の第5～第8の回路ブロック 60₅～60₈ が、第4の回路ブロック 60₄ からシフト出力された第4のデータイネーブル信号 E I O₄ を、第5の回路ブロック 60₅ から第8の回路ブロック 60₄ の方向にシフトする場合について説明する。

【0148】

第5のデータマスク回路 52₅ は、第4のデータイネーブル信号 E I O₄ がシフト出力されてから第0の階調データ DATA₀ のマスクを解除状態にして第5の階調データ DATA₅ を出力し、少なくとも第8のデータイネーブル信号 E I O₈ が出力されるまで (図15では一水平走査期間が終了するまで) マスクの解除状態を維持する (T₅)。

【0149】

同様に、第6の回路ブロック 60_6 の第6のデータマスク回路 52_6 は、第5のデータイネーブル信号 EIO_5 がシフト出力されてから、第5の階調データ $DATA_{ATA_5}$ のマスクを解除状態にして第6の階調データ $DATA_{ATA_6}$ を出力し、少なくとも第8のデータイネーブル信号 EIO_8 が出力されるまで（図15では一水平走査期間が終了するまで）マスクの解除状態を維持する（T6）。

【0150】

第7及び第8の回路ブロック 60_7 、 60_8 でも同様に上述のマスク制御が行われる。このように第5～第8のデータマスク回路 52_5 ～ 52_8 は、第4～第7のデータイネーブル信号 EIO_4 ～ EIO_7 がシフト出力されてから、第0の階調データ $DATA_{ATA_0}$ 、第5～第7の階調データ $DATA_{ATA_5}$ ～ $DATA_{ATA_7}$ のマスクを解除状態にして第5～第8の階調データ $DATA_{ATA_5}$ ～ $DATA_{ATA_8}$ を出力し、少なくとも第8のデータイネーブル信号 EIO_8 が出力されるまで（図15では一水平走査期間が終了するまで）マスクの解除状態を維持する（T5～T8）。したがって、階調データの供給に必要なタイミングのみ、バスを駆動すればよいので不要な電力消費を大幅に削減することができる。

【0151】

またデータ入力制御回路50により、一水平走査期間（1H）の全期間にわたって階調データを駆動する必要がなくなる。すなわち、第8のデータイネーブル信号 EIO_8 がシフト出力されてから次の水平走査期間が開始されるまでの間、階調データを駆動する必要がなくなり、その分の電力消費を削減することができる。

【0152】

2. 2 第2の実施形態

第1の実施形態では各SRブロックに供給される階調データについてマスク制御を行っていたが、これに限定されるものではない。第2の実施形態では各SRブロックに供給される階調データ及びクロックについてマスク制御を行うことができる。

【0153】

図16に、第2の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示す。

【0154】

ただし、図6に示す第1の実施形態における表示駆動回路のシフトレジスタ部と同一の部分には同一符号を付し、適宜説明を省略する。この第2の実施形態における表示駆動回路は、図3に示す信号ドライバに適用することができる。この場合、図16のシフトレジスタ部は図3のシフトレジスタ部40に相当する。

【0155】

図16では、まず第1～第8のデータマスク回路 $52_1 \sim 52_8$ のそれぞれに対応して、第1～第8のクロックマスク回路 $118_1 \sim 118_8$ が設けられている。また、第1～第8のデータマスク回路 $52_1 \sim 52_8$ のそれぞれに対応して、第1～第8のマスク制御回路 $120_1 \sim 120_8$ が設けられている。

【0156】

第1～第8のマスク制御回路 $120_1 \sim 120_8$ は、第1の実施形態における第1～第8のデータマスク制御回路 $54_1 \sim 54_8$ と同様の機能を有し、かつ第1～第8のクロックマスク制御信号 $CM_1 \sim CM_8$ を生成することができるようになっている。第1～第8のクロックマスク回路 $118_1 \sim 118_8$ は、第1～第8のクロックマスク制御信号 $CM_1 \sim CM_8$ に基づいてマスク制御を行った第1～第8のクロック $CLK_1 \sim CLK_8$ を生成する。

【0157】

また図6と同様に、第1～第8のクロックマスク回路 $118_1 \sim 118_8$ は、クロック入力制御回路 124 を基準に右側に配置されるか、左側に配置されるにより、マスク制御方法が異なり、クロックマスク制御信号の生成方法が異なる。したがって、クロック CLK のマスク制御についても、図7及び図8と同様に第1及び第2の系に分けて制御することができる。

【0158】

2. 2. 1 第1の系

図17に、第2の実施形態における第1の系の回路ブロックの構成の概要を示す。

【0159】

ただし、図7に示す第1の系の回路ブロック 60_a ($1 \leqq a \leqq M (= 4)$ 、 a は整数)と同一部分には同一符号を付し適宜説明を省略する。

【0160】

第2の実施形態における第1の系の回路ブロック 130_a が第1の実施形態における第1の系の回路ブロック 60_a と異なる点は、第 a のクロックマスク制御回路 132_a と、第 a のクロックマスク回路 118_a とを含む点である。

【0161】

第 a のクロックマスク制御回路 132_a は、SRブロック $B L K_a$ からシフト出力されたデータイネーブル信号 $E I O_a$ (第 a のデータイネーブル信号)に基づいて第 a のクロックマスク制御信号 $C M_a$ を生成する。

【0162】

第 a のクロックマスク回路 118_a は、第 a のクロックマスク制御信号 $C M_a$ により、第 $(a+1)$ のクロック $C L K_{a+1}$ に対しマスク制御を行った第 a のクロック $C L K_a$ を生成する。

【0163】

2. 2. 2 第2の系

図18に、第2の実施形態における第2の系の回路ブロックの構成の概要を示す。

【0164】

ただし、図8に示す第2の系の回路ブロック 60_b ($M+1 (= 5) \leqq b \leqq M+N (= 8)$ 、 b は整数)と同一部分には同一符号を付し適宜説明を省略する。

【0165】

第2の実施形態における第2の系の回路ブロック 130_b が第1の実施形態における第1の系の回路ブロック 60_b と異なる点は、第 b のクロックマスク制御回路 132_b と、第 b のクロックマスク回路 118_b とを含む点である。

【0166】

第 b のクロックマスク制御回路 132_b は、SRブロック $B L K_{b-1}$ からシフト出力されたデータイネーブル信号 $E I O_{b-1}$ (第 $(b-1)$ のデータイネ

ーブル信号)に基づいて第 b のクロックマスク制御信号 CM_b を生成する。

【0167】

第 b のクロックマスク回路 118_b は、第 b のクロックマスク制御信号 CM_b により、第 (b - 1) のクロック CLK_{b-1} に対しマスク制御を行った第 b のクロック CLK_b を生成する。

【0168】

2. 2. 3 タイミング例

図19に、図16に示した表示駆動回路の階調データの取り込みタイミングの一例を示す。

【0169】

ここで、データのマスク制御については図9と同様であるため説明を省略し、クロックのマスク制御についてのみ説明する。

【0170】

SR ブロック BLK₁ ~ BLK₈ には、第 0 ~ 第 7 のデータタイネーブル信号 EIO₀ ~ EIO₇ が入力される。各 SR ブロックでは、入力されたデータタイネーブル信号をシフトし、隣接する SR ブロックに順次データタイネーブル信号を出力していく。各 SR ブロック内では、シフトされたデータタイネーブル信号の立ち下がりエッジで、入力される階調データをラッチする。

【0171】

クロック入力制御回路 124 には、データタイネーブル信号のシフトタイミングを規定するクロック CLK が入力される。クロック入力制御回路 124 は、階調データの取り込み期間 (例えば第 0 のデータタイネーブル信号 EIO₀ が入力され第 8 のデータタイネーブル信号 EIO₈ が出力されるまでの期間) において、第 0 のクロック CLK₀ を第 4 及び第 5 のクロックマスク回路 118₄、118₅ に対して出力する。

【0172】

第 4 のクロックマスク回路 118₄ は、マスクが解除状態に設定されており、入力されたクロックがそのまま第 3 のクロックマスク回路 118₃ に出力される。同様にして、第 2 及び第 1 のクロックマスク回路 118₂、118₁ を介して

出力されたクロックは、第1のクロックCLK₁としてSRブロックBLK₁に出力される。SRブロックBLK₁では、第1のクロックCLK₁に同期して第0のデータイネーブル信号EIO₀をシフトし、階調データを取り込む。

【0173】

一方、第5のクロックマスク回路118₅は、マスクが非解除状態に設定されおり、その出力が論理レベル「L」に固定された状態となっている。したがって、第6のクロックマスク回路118₆以降にクロック入力制御回路124からのクロックが供給されることはない。

【0174】

続くSRブロックBLK₂に対応するクロックについては、第2のクロックマスク回路118₂までは上述と同様である。第1のマスク制御回路120₁は、SRブロックBLK₁からシフト出力された第1のデータイネーブル信号EIO₁に基づいて第1のデータマスク制御信号DM₁の他に第1のクロックマスク制御信号CM₁を生成する。そして、第1のクロックマスク回路118₁は、次のデータイネーブル信号のシフトタイミング以降、第1のクロックマスク制御信号CM₁を用いてその出力が論理レベル「L」に固定する。

【0175】

同様にして第3及び第4のクロックマスク回路118₃、118₄は、順次その出力を論理レベル「L」に固定していく。

【0176】

この結果、図19に示すように、第1の系の第1～第4のクロックCLK₁～CLK₄は、次のようになる。

【0177】

第1のクロックCLK₁は、SRブロックBLK₁に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第2のクロックCLK₂は、SRブロックBLK₁、BLK₂に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第3のクロックCLK₃は、SRブロックBLK₁～BLK₃に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第4のクロックCLK₄は、

S R ブロック B L K₁ ~ B L K₄ に取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0178】

S R ブロック B L K₄ から第4のデータイネーブル信号 E I O₄ がシフト出力されると、第5のマスク制御回路 1 2 0₅ において生成された第5のクロックマスク制御信号 C M₅ により、第5のクロックマスク回路 1 1 8₅ の出力のマスクを解除状態に設定される。したがって、S R ブロック B L K₅ は、マスクが解除されて出力された第5のクロック C L K₅ に基づいてシフトしたデータイネーブル信号により、第5の階調データ D A T A₅ をラッチすることができる。しかし、この時点で第6のクロックマスク回路 1 1 8₆ の出力は、マスクが非解除状態のままである。

【0179】

次に、S R ブロック B L K₅ からデータイネーブル信号 E I O₅ がシフト出力されると、第6のマスク制御回路 1 2 0₆ において生成された第6のクロックマスク制御信号 C M₆ により、第6のクロックマスク回路 1 1 8₆ の出力マスクが解除状態に設定される。このときクロック入力制御回路 1 2 4 からは、解除状態のままに設定された第5のクロックマスク回路 1 1 8₅ を介して S R ブロック B L K₆ に対応する第6のクロック C L K₆ に基づいて第6の階調データ D A T A₆ をラッチすることができる。しかし、この時点で第7のクロックマスク回路 1 1 8₇ の出力は、マスクが非解除状態のままである。

【0180】

同様にして、S R ブロック B L K₇、B L K₈ では、第7及び第8のクロック C L K₇、C L K₈ に基づき、順次第7及び第8の階調データ D A T A₇、D A T A₈ がラッチされる。

【0181】

この結果、図19に示すように、第2の系の第5~第8のクロック C L K₅ ~ C L K₈ は、次のようになる。

【0182】

第8のクロック C L K₈ は、S R ブロック B L K₈ に階調データが取り込まれ

るまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第7のクロックCLK₇は、SRブロックBLK₇、BLK₈に階調データが取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第6のクロックCLK₆は、SRブロックBLK₆～BLK₈に階調データが取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。第5のクロックCLK₅は、SRブロックBLK₅～BLK₈に階調データが取り込まれるまでの間だけマスクが解除され、その後マスクが非解除状態に設定される。

【0183】

2. 2. 4 詳細な回路構成例

図20に、第2実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図を示す。

【0184】

ただし、図11に示す第1の実施形態における表示駆動回路のシフトレジスタ部90と同一部分には同一符号を付し、適宜説明を省略する。

【0185】

シフトレジスタ部140は、図3に示したシフトレジスタ部40に相当する。このシフトレジスタ部140は、図17に示した構成の第1の系の第1～第4の回路ブロック130₁～130₄と、図18に示した構成の第2の系の第5～第8の回路ブロック130₅～130₈とを含む。

【0186】

クロック入力制御回路124は、データ端子Dが電源電位に接続されたフリップフロップの反転出力端子XQからの信号により、クロックCLKの入力制御が行われる。

【0187】

図21に、データマスク制御回路、データマスク回路、クロック制御回路及びクロックマスク回路の回路構成例を示す。

【0188】

ここでは第1の系の第2のデータマスク制御回路54₂、第2のデータマスク

回路 52_2 、第2のクロックマスク制御回路 132_2 及び第2のクロックマスク回路 118_2 の構成例を示す。第2のマスク制御回路 120_2 は、第2のデータマスク制御回路 54_2 と、第2のクロックマスク制御回路 132_2 とを含む。ここで、図13に示した第2のデータマスク制御回路 54_2 及び第2のデータマスク回路 52_2 については同様であるため説明を省略する。

【0189】

第2のクロックマスク制御回路 132_2 は、第2のデータマスク制御回路 54_2 のフリップフロップFF $_2$ のQ端子の出力を用いて、第2のクロックマスク制御信号CM $_2$ を生成する。そのため第2のクロックマスク制御回路 132_2 は、フリップフロップFF $_3$ 、FF $_4$ を含む。フリップフロップFF $_3$ 、FF $_4$ のD端子に、フリップフロップFF $_2$ のQ端子が接続される。フリップフロップFF $_3$ のC端子には、第3のクロックCLK $_3$ の反転信号が入力される。フリップフロップFF $_4$ のC端子には、第2のクロックCLK $_2$ が入力される。こうすることで、データマスクのタイミングと、クロックマスクのタイミングとを半周期ずらし、ひげの発生しないクロックマスク制御信号でクロックのマスク制御を行うことができる。この場合、発生したヒゲによりデータイネーブル信号がシフトされてしまう事態を回避する。

【0190】

図22に、図21に示した回路によるクロックマスクの動作タイミングの一例を示す。

【0191】

ここではシフト信号SHLの論理レベルが「H」に固定されている場合について説明する。左方向を第2の方向とすると、シフト信号SHLの論理レベルが「H」（第2のレベル）のとき、データイネーブル信号は左方向にシフトされることを意味する。

【0192】

まず第3のクロックマスク回路 118_2 に第3のクロックCLK $_3$ が入力され、クロックマスクが解除状態であるものとする。したがって、第2のクロックマスク回路 118_2 は、入力された第3のクロックCLK $_3$ をそのまま第2のクロ

ック CLK₂ として出力する。

【0193】

SR ブロック BLK₂ から第 2 のデータイネーブル信号 EIO₂ がシフト出力されると (T20) 、第 2 のデータマスク制御回路 54₂ では、フリップフロップ FF₂ の Q 端子から論理レベル「H」に設定される (T21) 。これにより、第 2 のデータマスク制御信号 DM₂ は論理レベル「L」になり、それ以降第 2 の階調データ DATA₂ はマスクされる。

【0194】

第 2 のクロックマスク制御回路 132₂ では、フリップフロップ FF₃において、第 3 のクロック CLK₃ の立ち下がりに同期して XQ₂ 信号の論理レベルが「L」となる。一方、フリップフロップ FF₂ において、第 2 のクロック CLK₂ の立ち上がりに同期して、XQ₃ 信号の論理レベルが「L」となる (T22) 。ここで、反転シフト信号 XSHL の論理レベルが「L」に固定されているため、第 2 のクロックマスク制御信号 CM₂ は論理レベル「L」となる (T23) 。これにより、第 2 のクロック CLK₂ は、第 2 のクロックマスク制御信号 CM₂ によりマスクが非解除状態に設定され、これ以降第 2 のクロック CLK₂ は固定される (T24) 。

【0195】

なお第 2 のクロック CLK₂ は短いパルス状になるが、既に第 2 のデータイネーブル信号 EIO₂ をシフト出力しているため回路の誤動作を招くことはない。

【0196】

図 23 に、第 1 の系の回路ブロックの動作タイミングの一例を示す。

【0197】

以下では、階調データのマスク制御については図 14 と同様であるため、クロックのマスク制御についてのみ説明する。

【0198】

例えばデータイネーブル信号 EIO は第 0 のデータイネーブル信号 EIO₀ として第 1 の回路ブロック 130₁ から第 4 の回路ブロック 130₄ の方向にシフトされる。したがって、第 1 のクロックマスク回路 118₁ は、第 1 のデータイ

ネーブル信号EIO₁がシフト出力されるまで第1のクロックCLK₁のマスクを解除状態にし、第1のデータイネーブル信号EIO₁がシフト出力されると第1のクロックCLK₁のマスクを非解除状態に設定する。

【0199】

同様に、第2の回路ブロック130₂の第2のクロックマスク回路118₂は、第2のデータイネーブル信号EIO₂がシフト出力されるまで第2のクロックCLK₂のマスクを解除状態にし、第2のデータイネーブル信号EIO₂がシフト出力されると第2のクロックCLK₂のマスクを非解除状態に設定する。

【0200】

第3及び第4の回路ブロック130₃、130₄でも同様に上述のマスク制御が行われる。このように第1～第4のクロックマスク回路118₁～118₄は、第1～第4のデータイネーブル信号EIO₁～EIO₄がシフト出力されるまで第1～第4のクロックCLK₁～CLK₄のマスクを解除状態にし、第1～第4のデータイネーブル信号EIO₁～EIO₄がシフト出力されると第1～第4のクロックCLK₁～CLK₄のマスクを非解除状態に設定する。したがって、階調データの供給に必要なタイミングのみ、クロックを駆動すればよいので不要な電力消費を大幅に削減することができる。

【0201】

図24に、第2の系の動作タイミングの一例を示す。

【0202】

ここでは、第5～第8の回路ブロック130₅～130₈が、第4の回路ブロック130₄からシフト出力された第4のデータイネーブル信号EIO₄を、第5の回路ブロック130₅から第8の回路ブロック130₄の方向にシフトする場合について説明する。

【0203】

第5のクロックマスク回路118₅は、第4のデータイネーブル信号EIO₄がシフト出力されてから第0のクロックCLK₀のマスクを解除状態にして第5のクロックCLK₅を出力し、少なくとも第8のデータイネーブル信号EIO₈が出力されるまで（図24では一水平走査期間が終了するまで）マスクの解除状

態を維持する。

【0204】

同様に、第6の回路ブロック130₆の第6のクロックマスク回路118₆は、第5のデータイネーブル信号EIO₅がシフト出力されてから、第5のクロックCLK₅のマスクを解除状態にして第6のクロックCLK₆を出力し、少なくとも第8のデータイネーブル信号EIO₈が出力されるまで（図24では一水平走査期間が終了するまで）マスクの解除状態を維持する。

【0205】

第7及び第8の回路ブロック130₇、130₈でも同様に上述のマスク制御が行われる。このように第5～第8のクロックマスク回路118₅～118₈は、第4～第7のデータイネーブル信号EIO₄～EIO₇がシフト出力されてから、第0のクロックCLK₀、第5～第7のクロックCLK₅～CLK₇に対するマスクを解除状態にして第5～第8のクロックCLK₅～CLK₈を出力し、少なくとも第8のデータイネーブル信号EIO₈が出力されるまで（図24では一水平走査期間が終了するまで）マスクの解除状態を維持する。したがって、階調データの供給に必要なタイミングのみ、クロックを駆動すればよいので不要な電力消費を大幅に削減することができる。

【0206】

またクロック入力制御回路124により、一水平走査期間（1H）の全期間にわたってクロックを駆動する必要がなくなる。すなわち、第8のデータイネーブル信号EIO₈がシフト出力されてから次の水平走査期間が開始されるまでの間、階調データを駆動する必要がなくなり、その分の電力消費を削減することができる。

【0207】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0208】

例えば上述した実施形態では、M、Nを4としたがこれに限定されるものではなく、4以上又は4未満であってもよい。またMとNを同数にしたが、MがNよ

り大きく、又は小さくしてもよい。

【0209】

また例えば表示駆動回路を図25に示すように第1の系の回路ブロックのみで構成した場合であっても不要な電力消費を抑えることができる。また、表示駆動回路を、図26に示すように第2の系の回路ブロックのみで構成した場合であっても同様である。図25においては、図7又は図17に示した回路ブロックを用いて容易に構成することができる。図26においては、図8又は図18に示した回路ブロックを用いて容易の構成することができる。

【0210】

更に図27に示すように、階調データのマスク制御を行うことなく、各SRブロックに供給されるクロックのみのマスク制御を行うようにしてもよい。更にまた図28(A)に示すようにクロックのマスク制御のみを図17に示した回路ブロックを応用した第1の系の回路ブロックのみで構成してもよいし、図28(B)に示すようにクロックのマスク制御のみを図18に示した回路ブロックを応用した第2の系の回路ブロックのみで構成してもよい。

【0211】

また上述の実施形態では、TFT型液晶装置を駆動する場合について説明したが、単純マトリクス型液晶装置や、有機EL素子を含む有機ELパネル、プラスマディスプレイ装置にも適用可能である。

【図面の簡単な説明】

【図1】

液晶装置の構成の概要を示すブロック図である。

【図2】

同一ガラス基板上に信号ドライバが形成される液晶パネルの概要を示す構成図である。

【図3】

信号ドライバの構成の概要を示すブロック図である。

【図4】

図4(A)は、信号ドライバの形状を模式的に示す図である。図4(B)は、

階調バスの配線の様子を模式的に示す図である。

【図5】

信号ドライバに適用される表示駆動回路のシフトレジスタ部の構成の概要を示すブロック図である。

【図6】

第1の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示すブロック図である。

【図7】

第1の実施形態における第1の系の回路ブロックの構成の概要を示すブロック図である。

【図8】

第1の実施形態における第2の系の回路ブロックの構成の概要を示すブロック図である。

【図9】

第1の実施形態における階調データの取り込みタイミングの一例を示すタイミングチャートである。

【図10】

図10（A）は、比較例におけるシフトレジスタ部の構成の概要を示すブロック図である。図10（B）は、比較例におけるシフトレジスタ部の動作タイミングの一例を示すタイミングチャートである。

【図11】

第1の実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図である。

【図12】

S R ブロックの構成の一例を示す回路図である。

【図13】

データマスク制御回路及びデータマスク回路の構成例を示す回路図である。

【図14】

第1の実施形態における第1の系の回路ブロックの動作タイミングの一例を示す

すタイミングチャートである。

【図15】

第1の実施形態における第2の系の回路ブロックの動作タイミングの一例を示すタイミングチャートである。

【図16】

第2の実施形態における表示駆動回路のシフトレジスタ部の構成の概要を示すブロック図である。

【図17】

第2の実施形態における第1の系の回路ブロックの構成の概要を示すブロック図である。

【図18】

第2の実施形態における第2の系の回路ブロックの構成の概要を示すブロック図である。

【図19】

第2の実施形態における階調データの取り込みタイミングの一例を示すタイミングチャートである。

【図20】

第2の実施形態における表示駆動回路のシフトレジスタ部の詳細な構成例の全体ブロック図である。

【図21】

データマスク制御回路、データマスク回路、クロックマスク制御回路及びクロックマスク回路の構成例を示す回路図である。

【図22】

データマスク制御回路、データマスク回路、クロックマスク制御回路及びクロックマスク回路の動作タイミングの一例を示すタイミングチャートである。

【図23】

第2の実施形態における第1の系の回路ブロックの動作タイミングの一例を示すタイミングチャートである。

【図24】

第2の実施形態における第2の系の回路ブロックの動作タイミングの一例を示すタイミングチャートである。

【図25】

第1の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。

【図26】

第2の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。

【図27】

各SRブロックに供給されるクロックのみのマスク制御を行う表示駆動回路の構成例を示す構成図である。

【図28】

図28(A)は、クロックのマスク制御を第1の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。図28(B)は、クロックのマスク制御を第2の系の回路ブロックのみで構成した表示駆動回路の概要を示す構成図である。

【符号の説明】

- 10 液晶装置
- 20 LCDパネル
- 22_{j k} TFT
- 24_{j k} 液晶容量
- 26_{j k} 画素電極
- 28_{j k} 対向電極
- 30 信号ドライバ（広義には表示駆動回路）
- 32 走査ドライバ
- 34 電源回路
- 36 LCDコントローラ
- 40、70、90、140 シフトレジスタ部
- 42 ラインラッチ回路

4 4 D A C 回路

4 6 信号電極駆動回路

5 0 データ入力制御回路

5 2 ₁ ~ 5 2 _{M+N} 第1~第(M+N)のデータマスク回路5 4 ₁ ~ 5 4 _{M+N} 第1~第(M+N)のデータマスク制御回路6 0 ₁ ~ 6 0 _{M+N}、1 3 0 ₁ ~ 1 3 0 _{M+N} 第1~第(M+N)の回路ブロック

1 0 0 S R ブロック

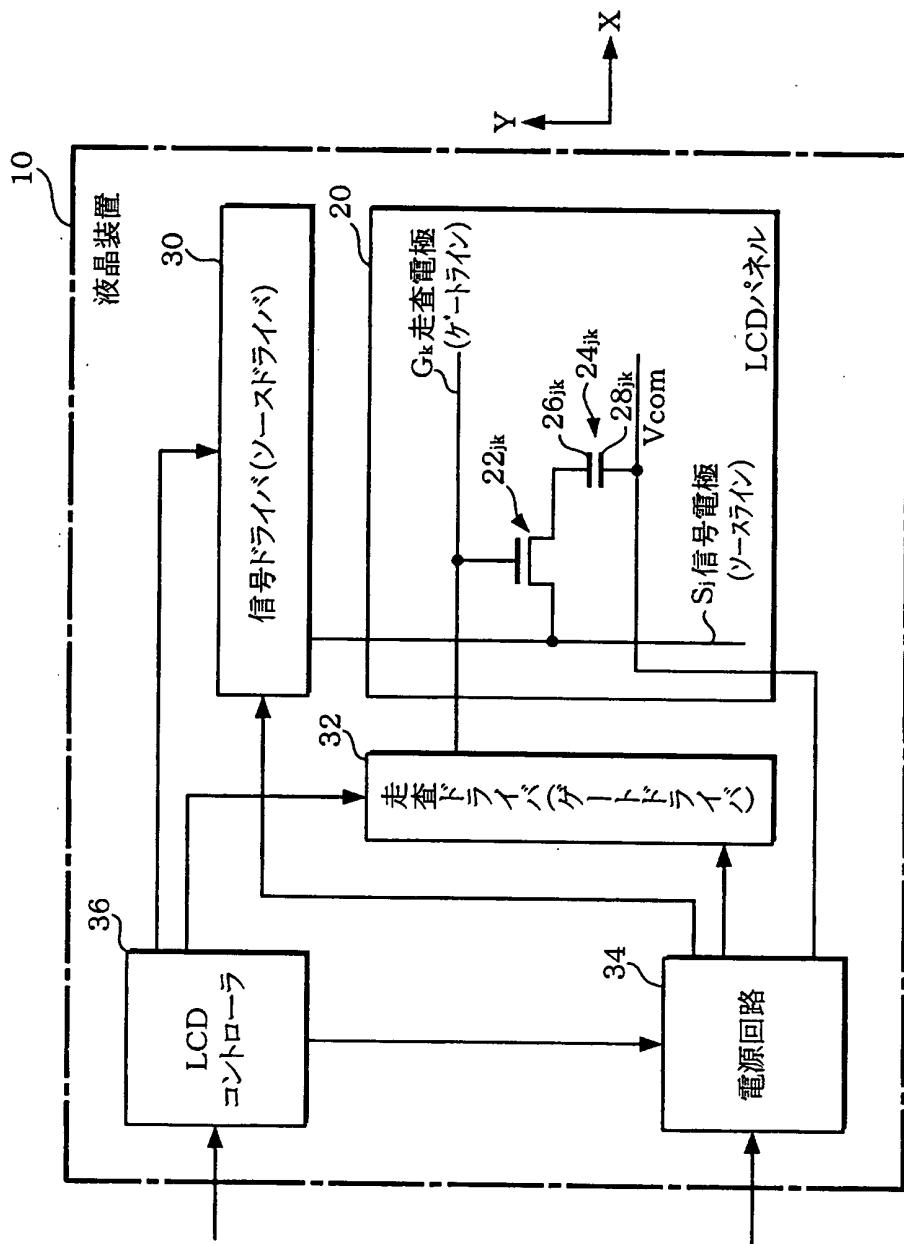
1 0 2 ₀ ~ 1 0 2 ₃ 階調データ保持部1 0 4 ₀ ~ 1 0 4 ₃、1 0 6 ₀ ~ 1 0 6 ₃ ラッチ回路1 0 8 ₀ ~ 1 0 8 ₃ セレクタ回路1 1 0 ₀ ~ 1 1 0 ₃ 階調データラッチ回路1 1 8 ₁ ~ 1 1 8 _{M+N} 第1~第(M+N)のクロックマスク回路

1 2 4 クロック入力制御回路

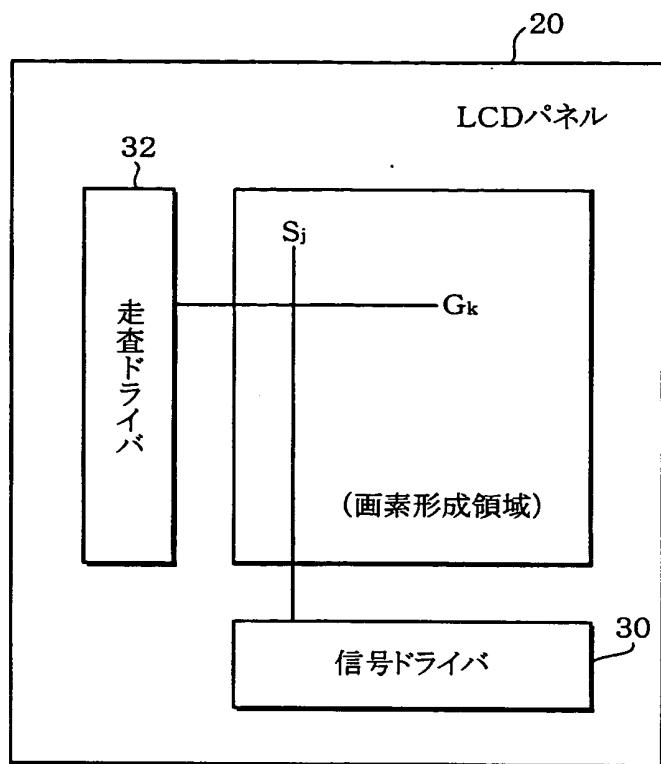
1 3 2 ₁ ~ 1 3 2 _{M+N} 第1~第(M+N)のクロックマスク制御回路B L K ₁ ~ B L K _{M+N} S R ブロックC M ₁ ~ C M _{M+N} 第1~第(M+N)のクロックマスク制御信号D M ₁ ~ D M _{M+N} 第1~第(M+N)のデータマスク制御信号E I O ₀ ~ E I O _{M+N} 第0~第(M+N)のデータイネーブル信号

【書類名】 図面

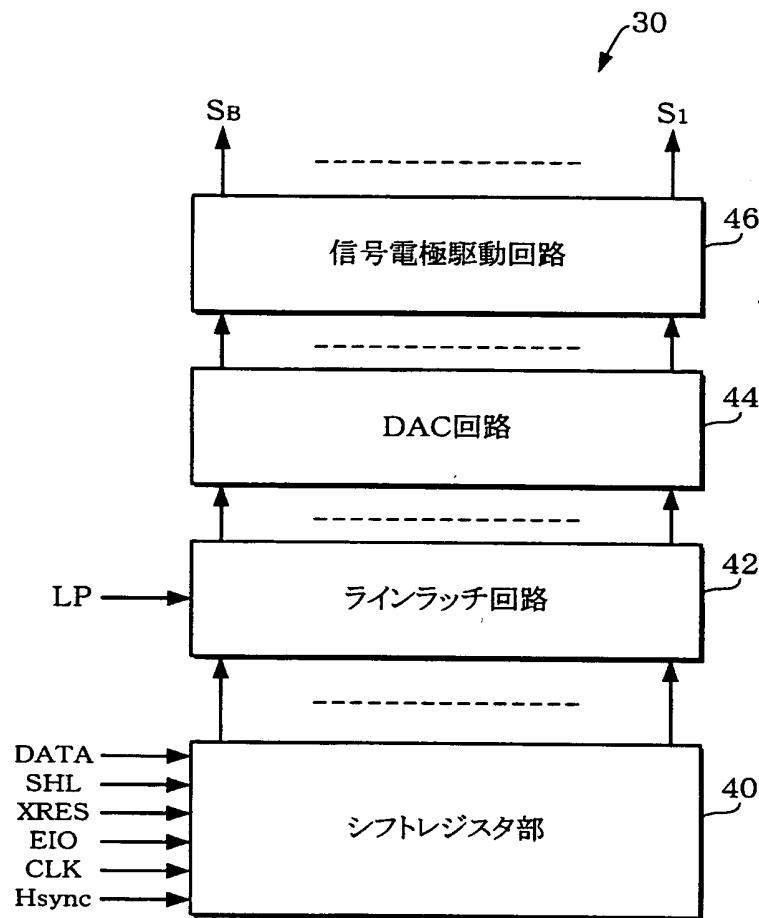
【図1】



【図2】

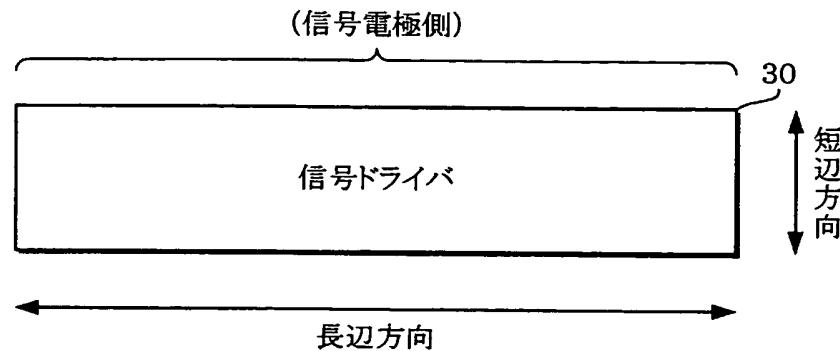


【図3】

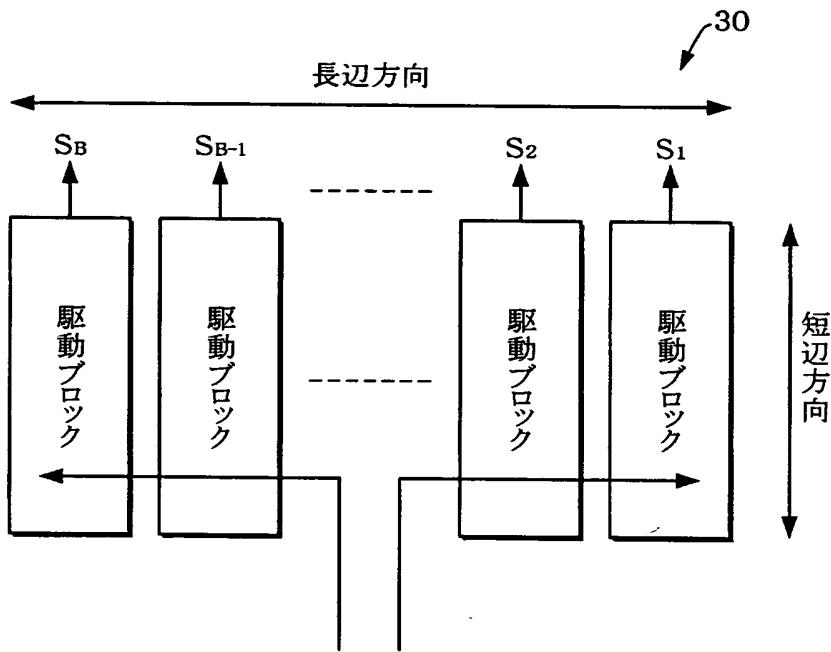


【図4】

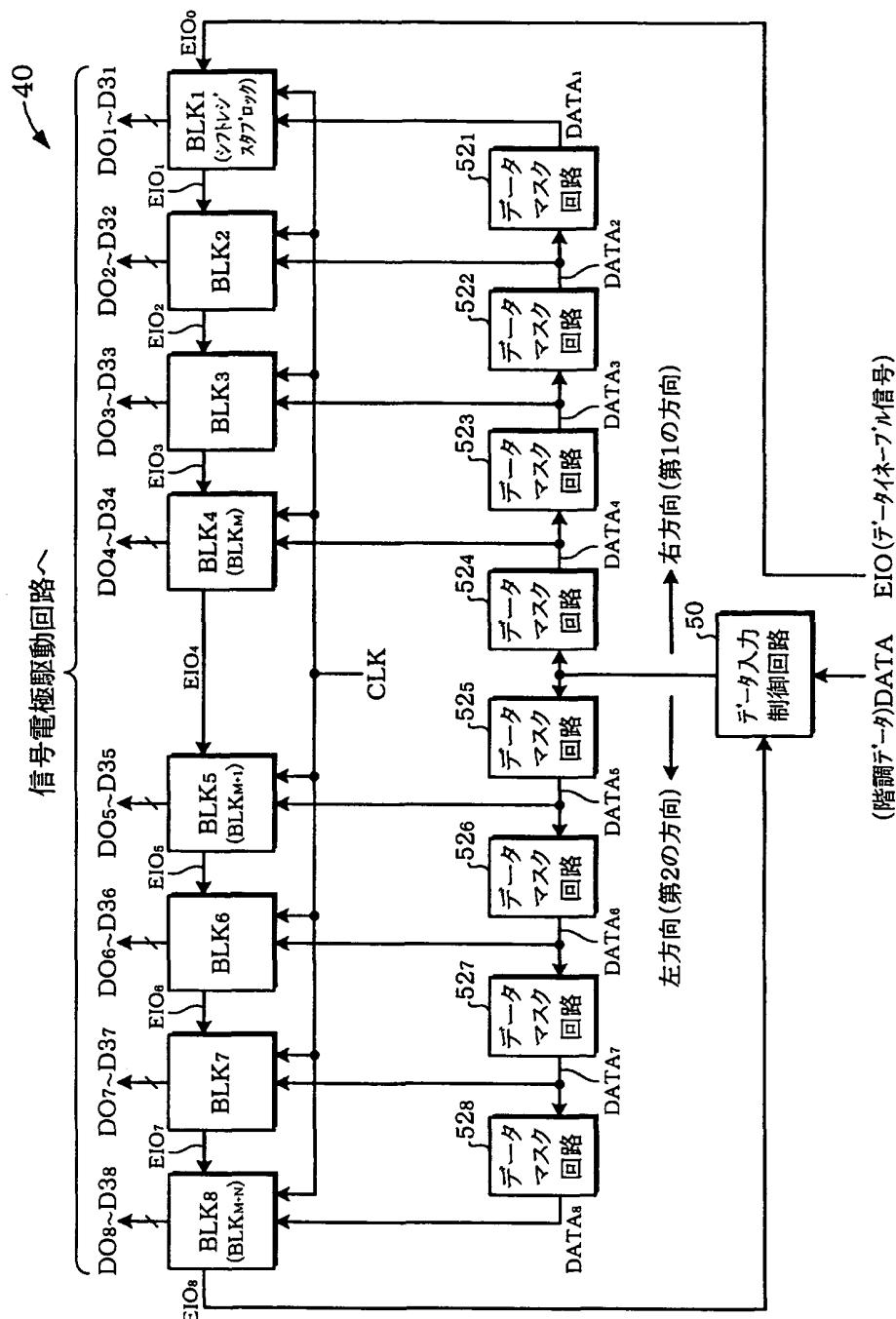
(A)



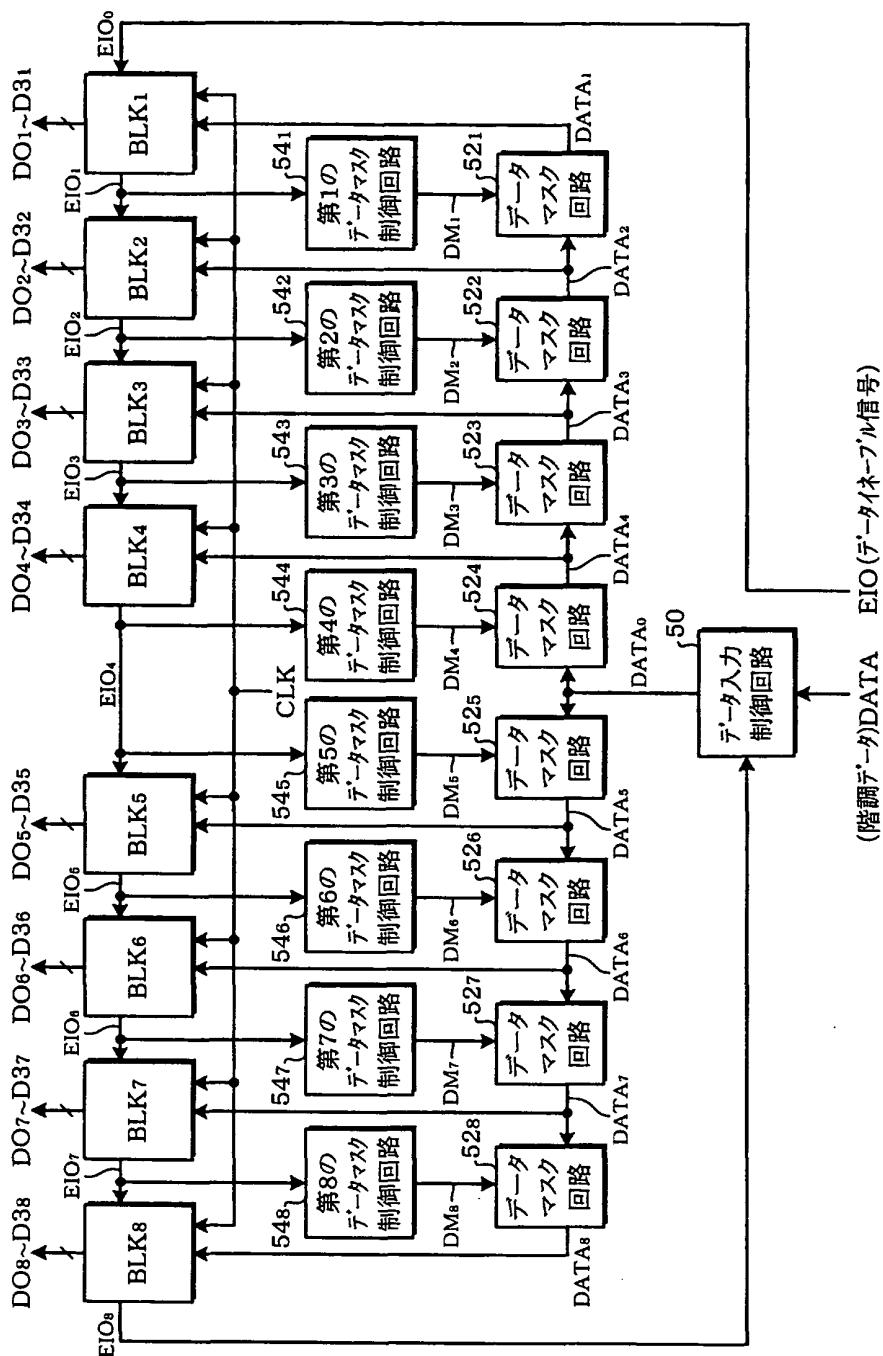
(B)



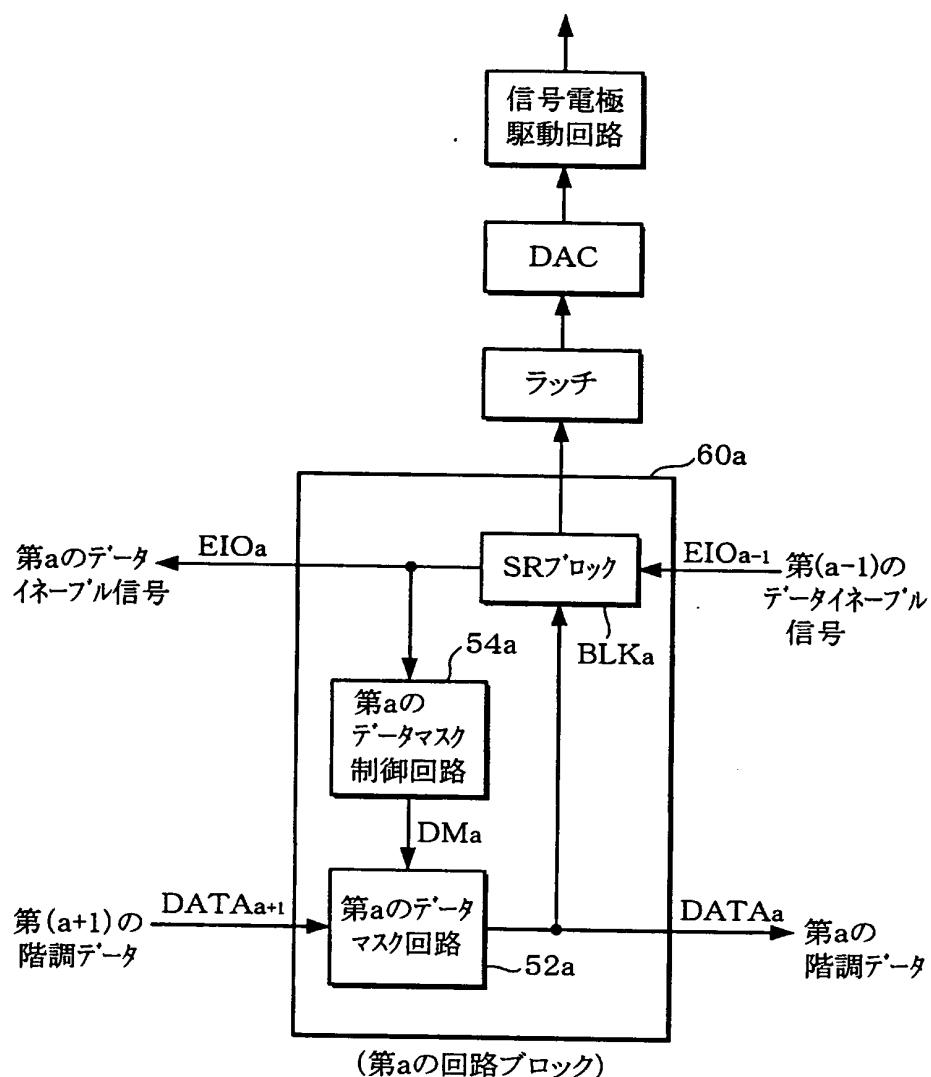
【図5】



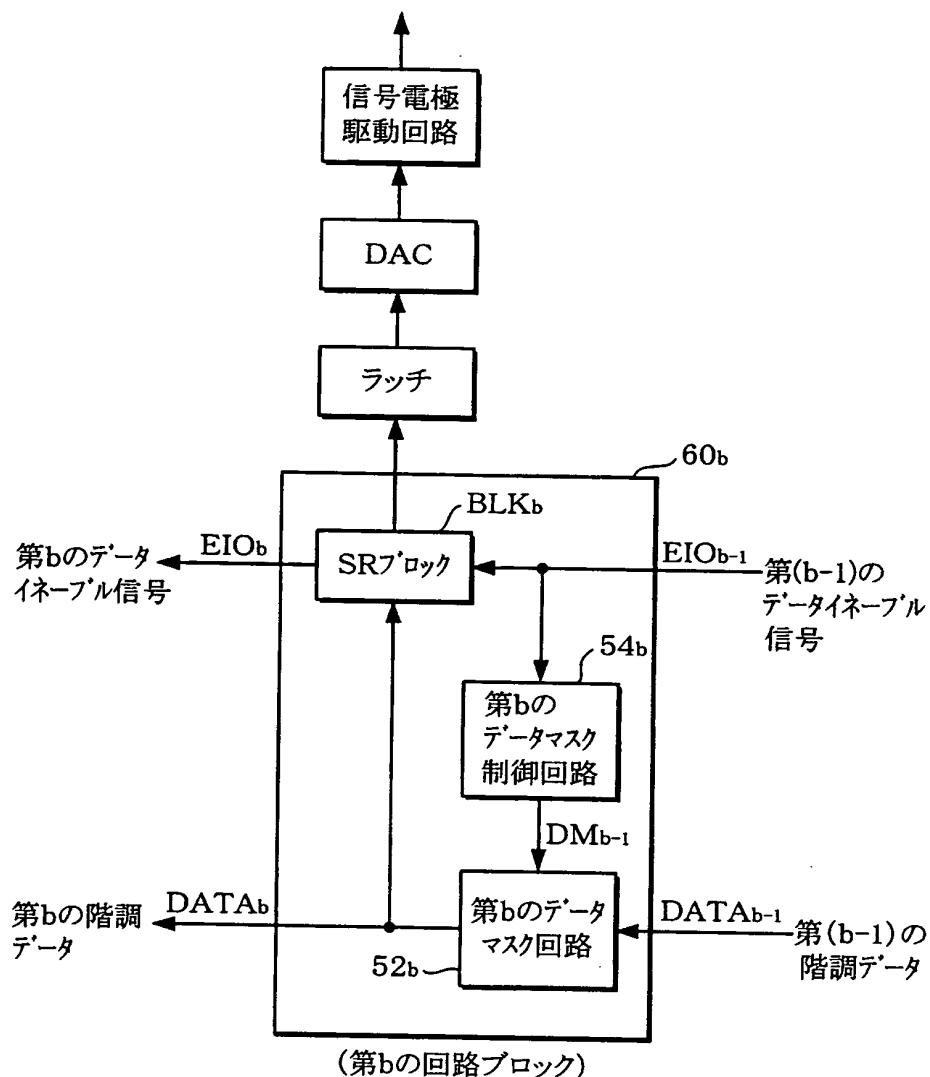
【図6】



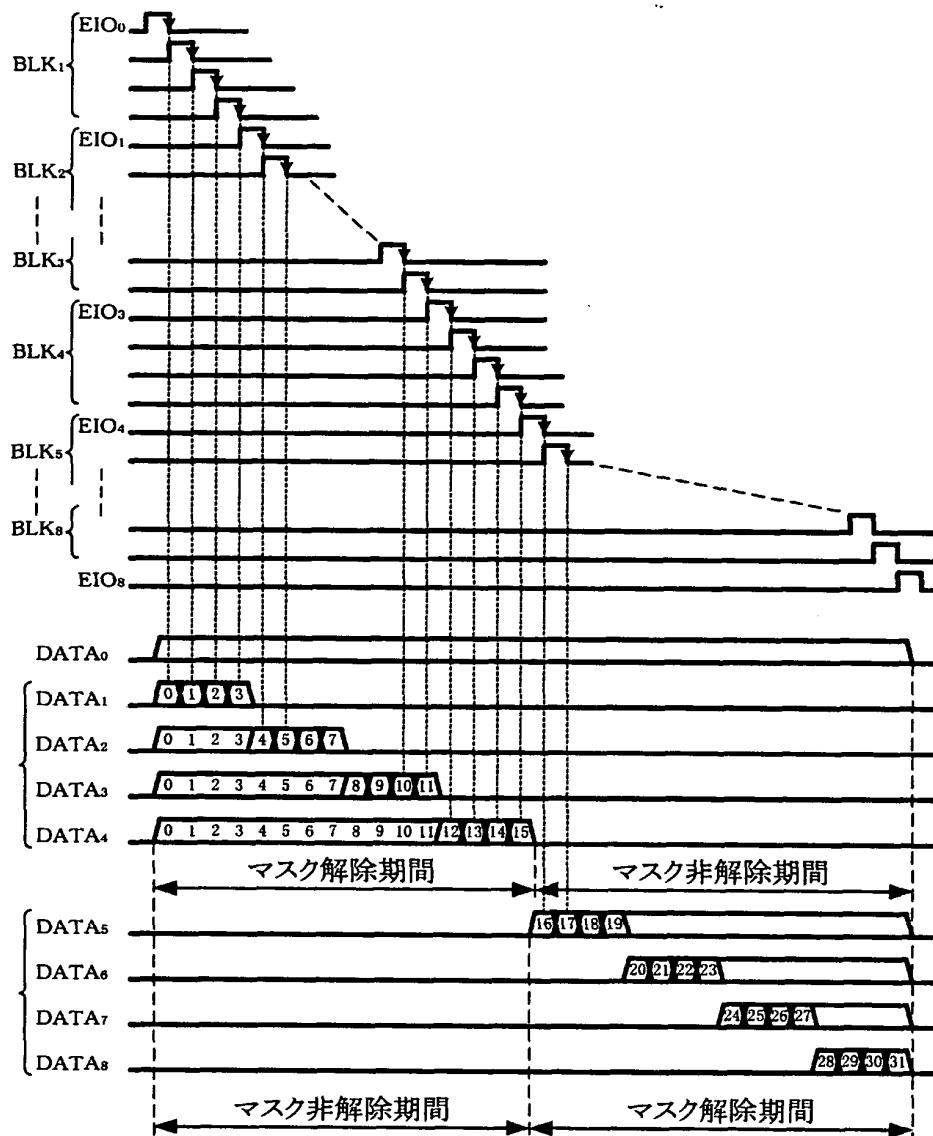
【図7】



【図8】

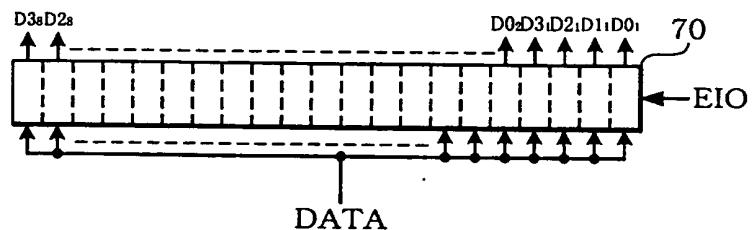


【図9】

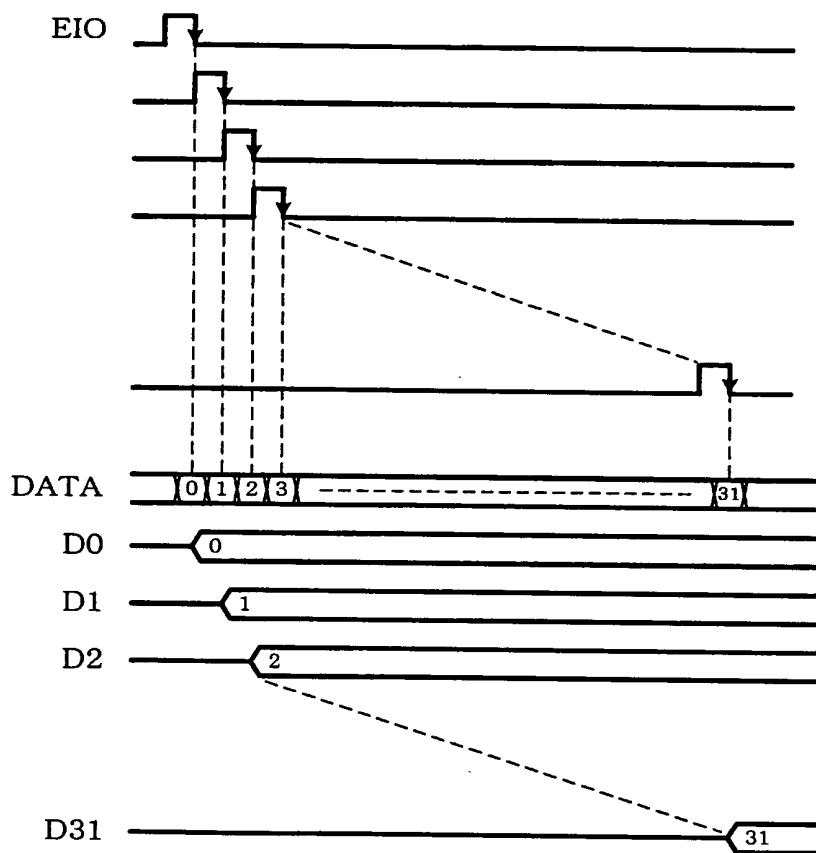


【図10】

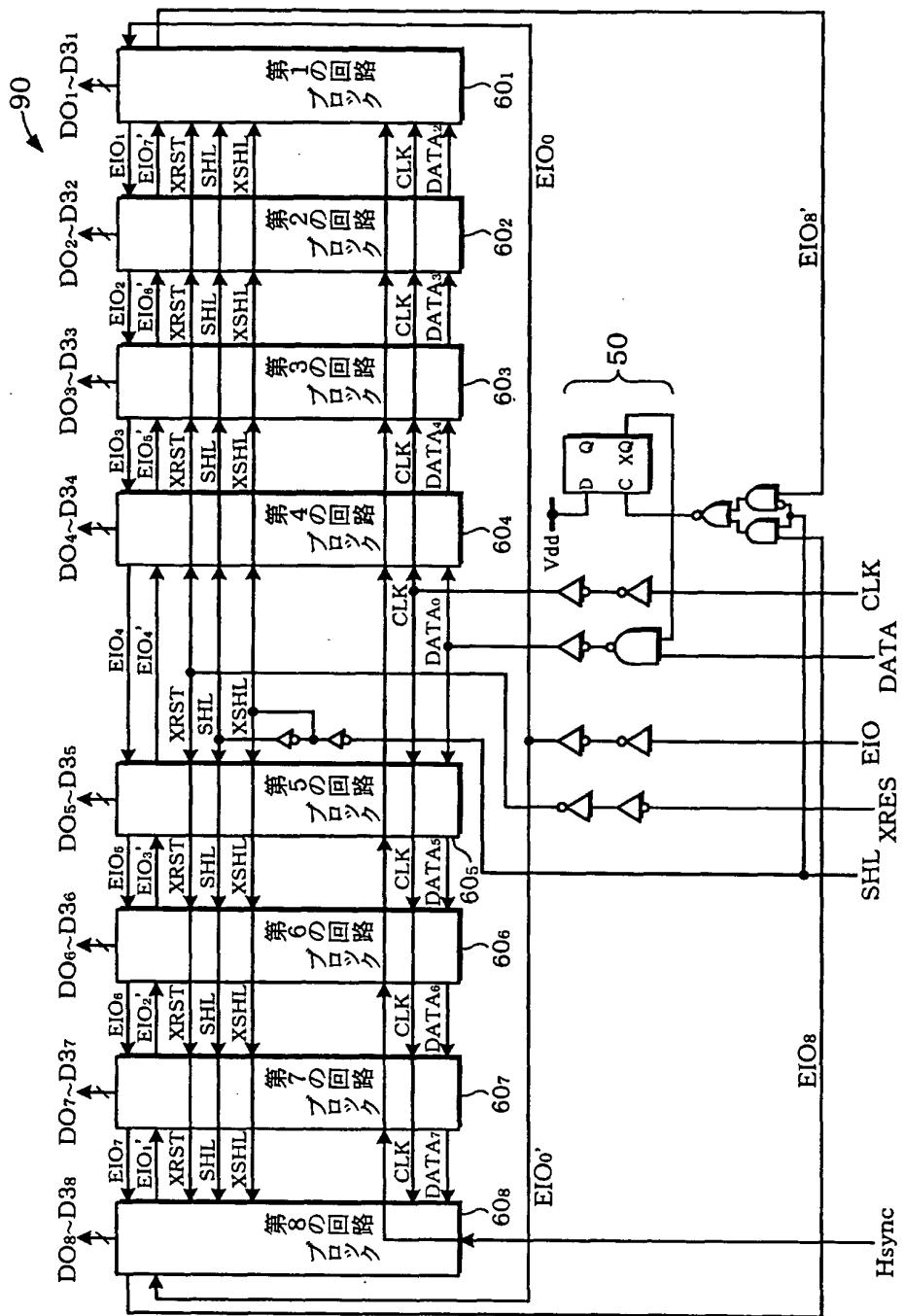
(A)



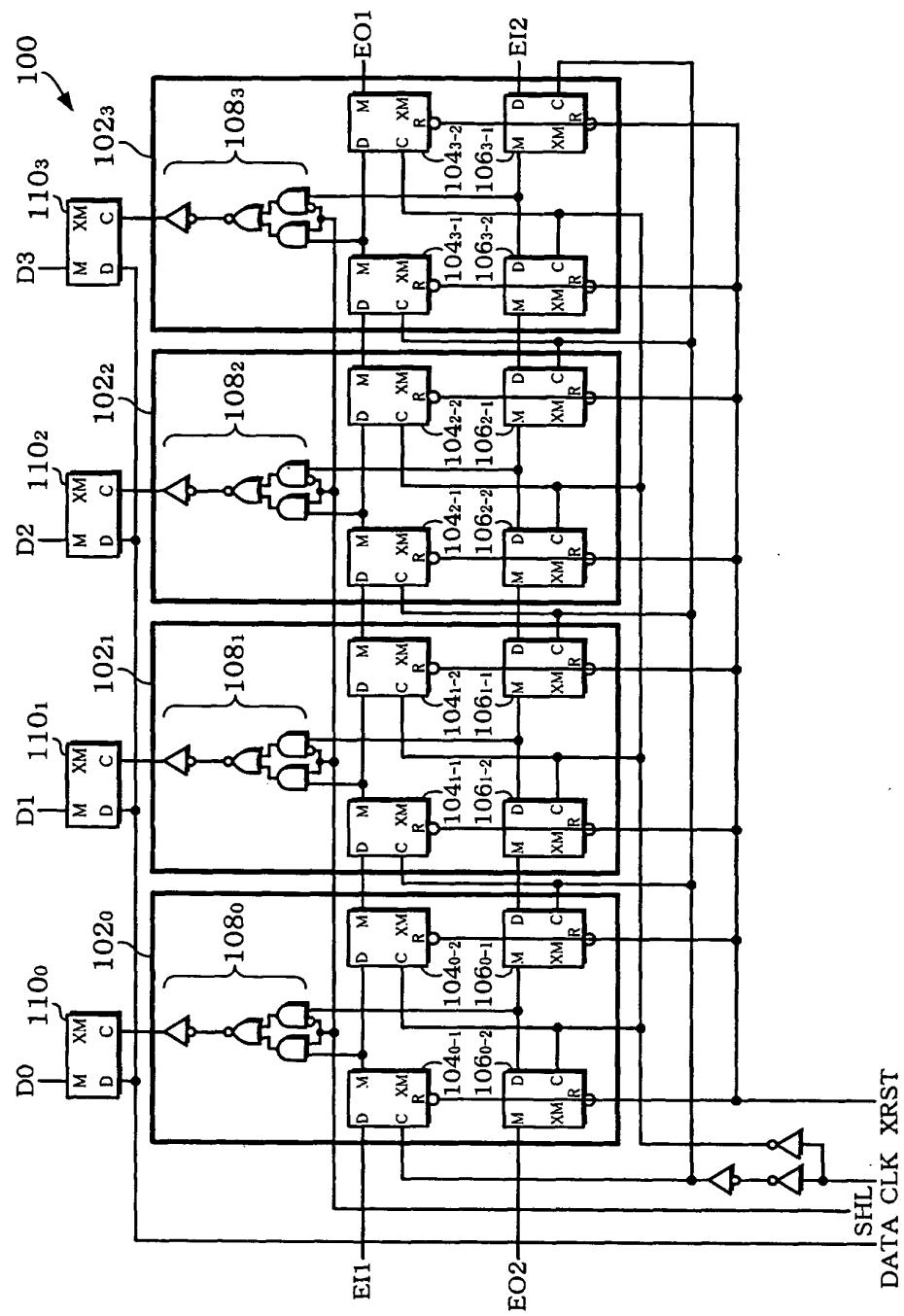
(B)



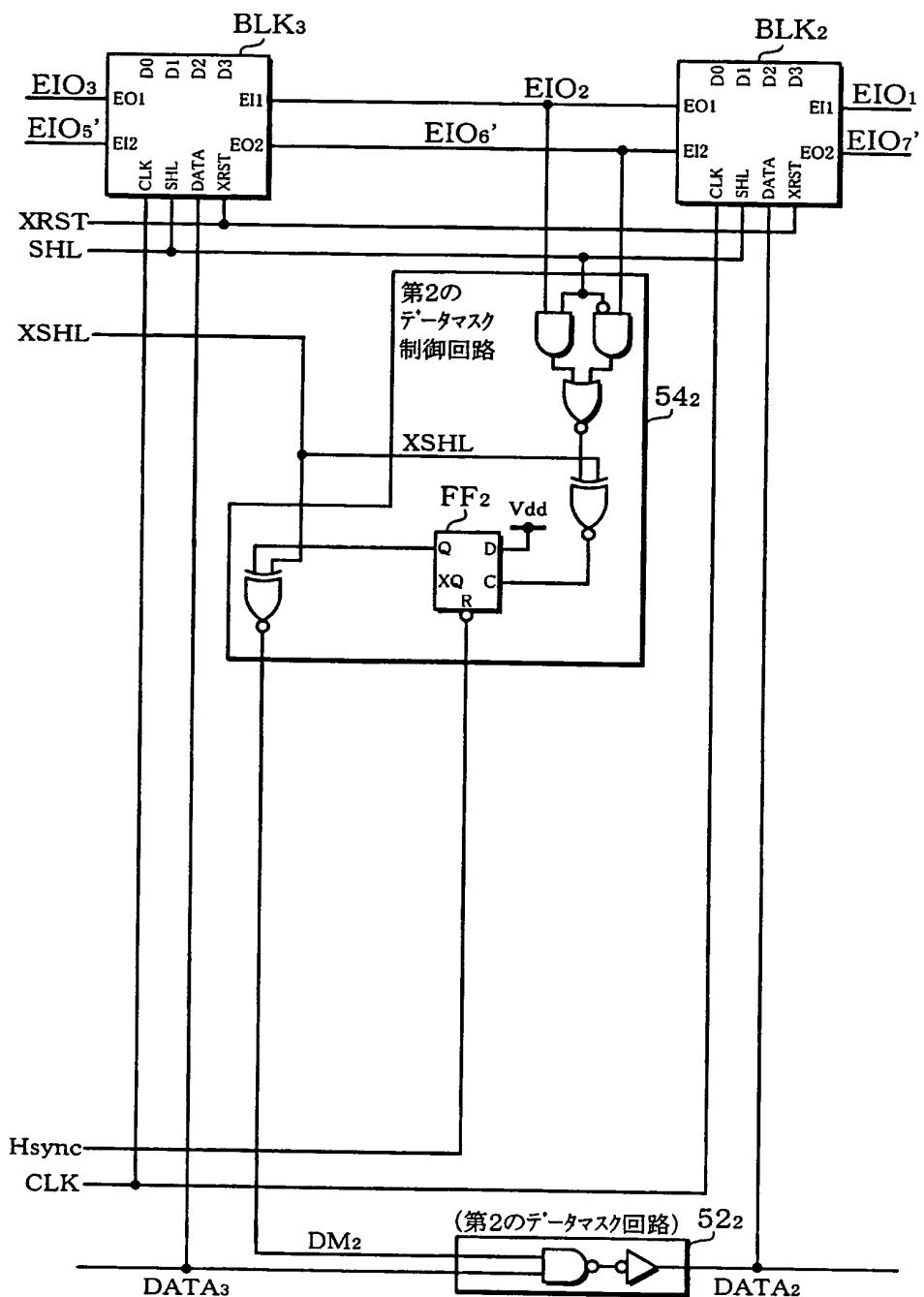
【図11】



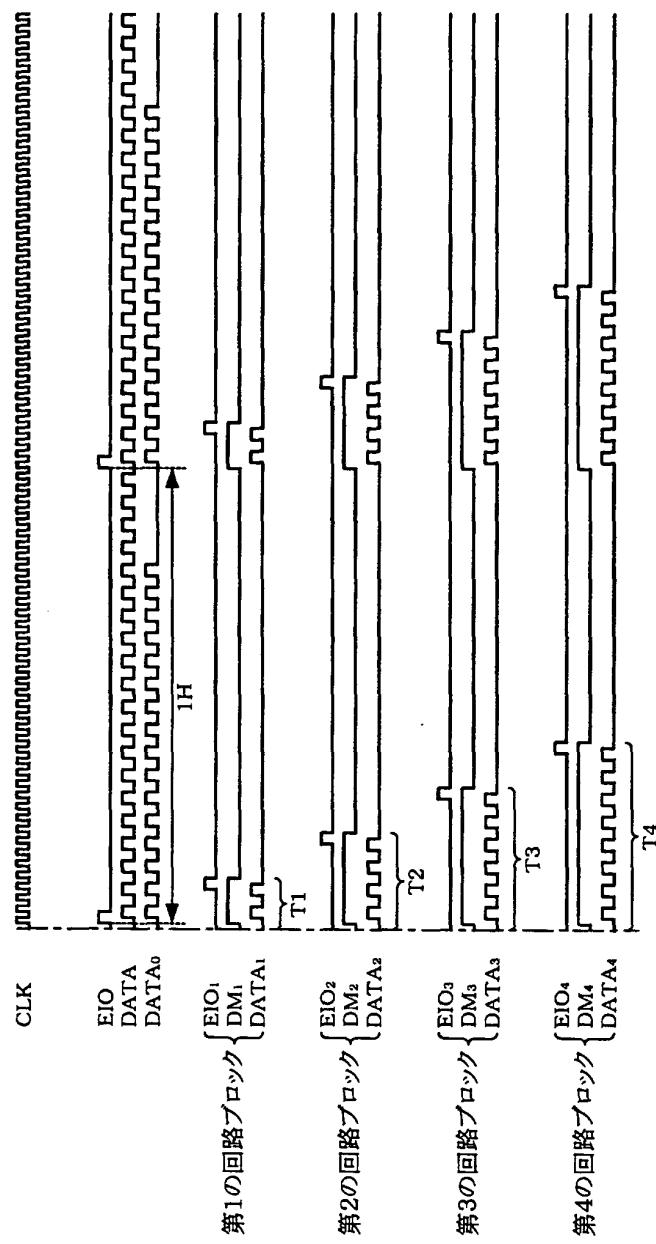
【図12】



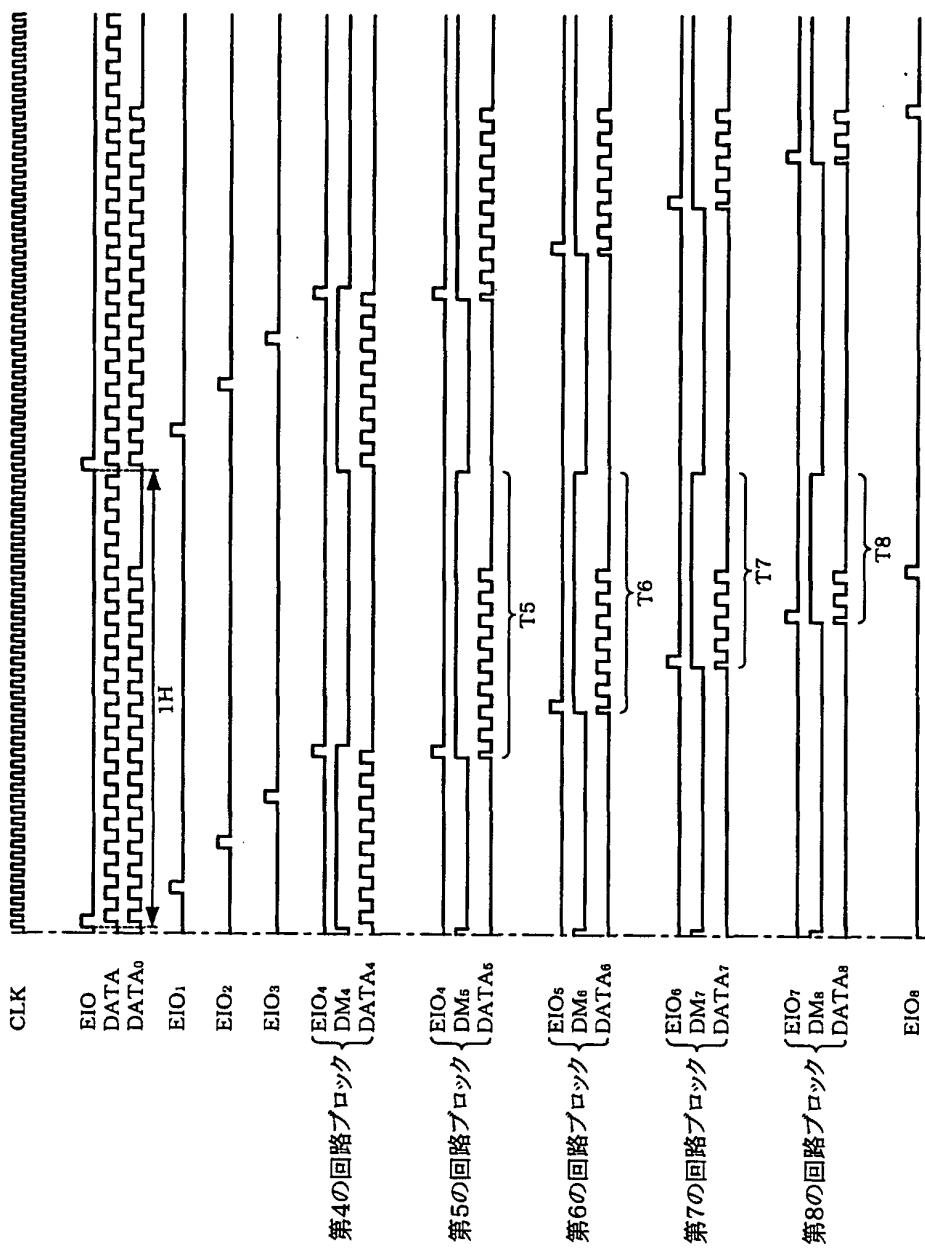
【図13】



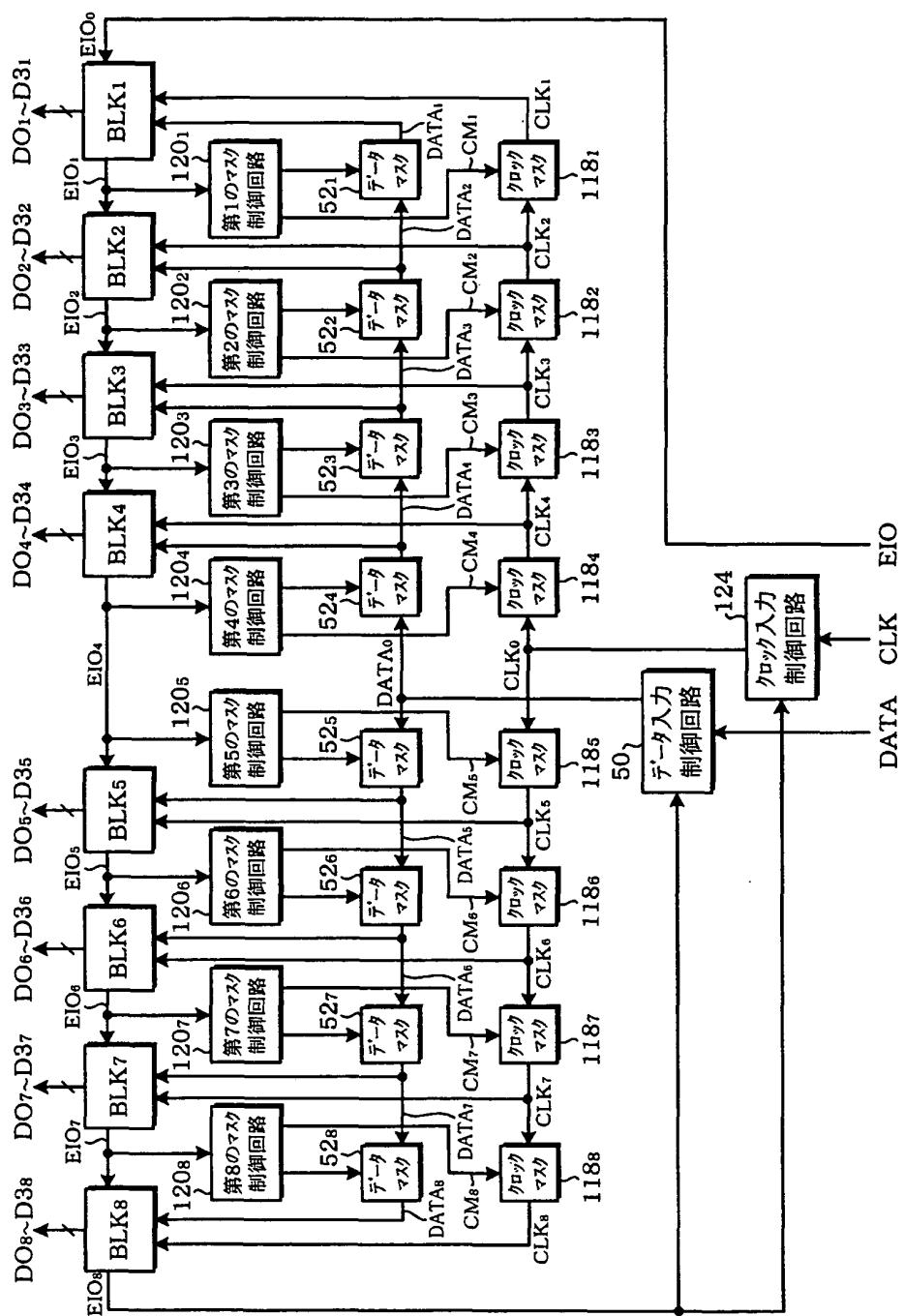
【図14】



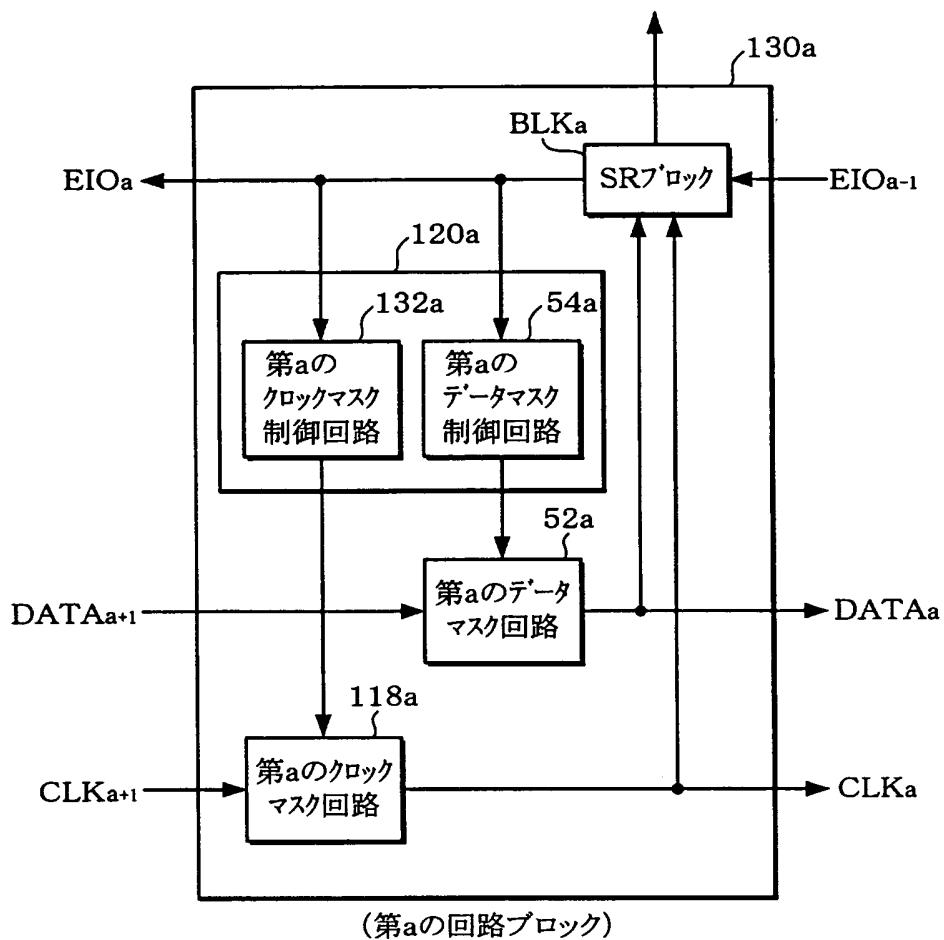
【図15】



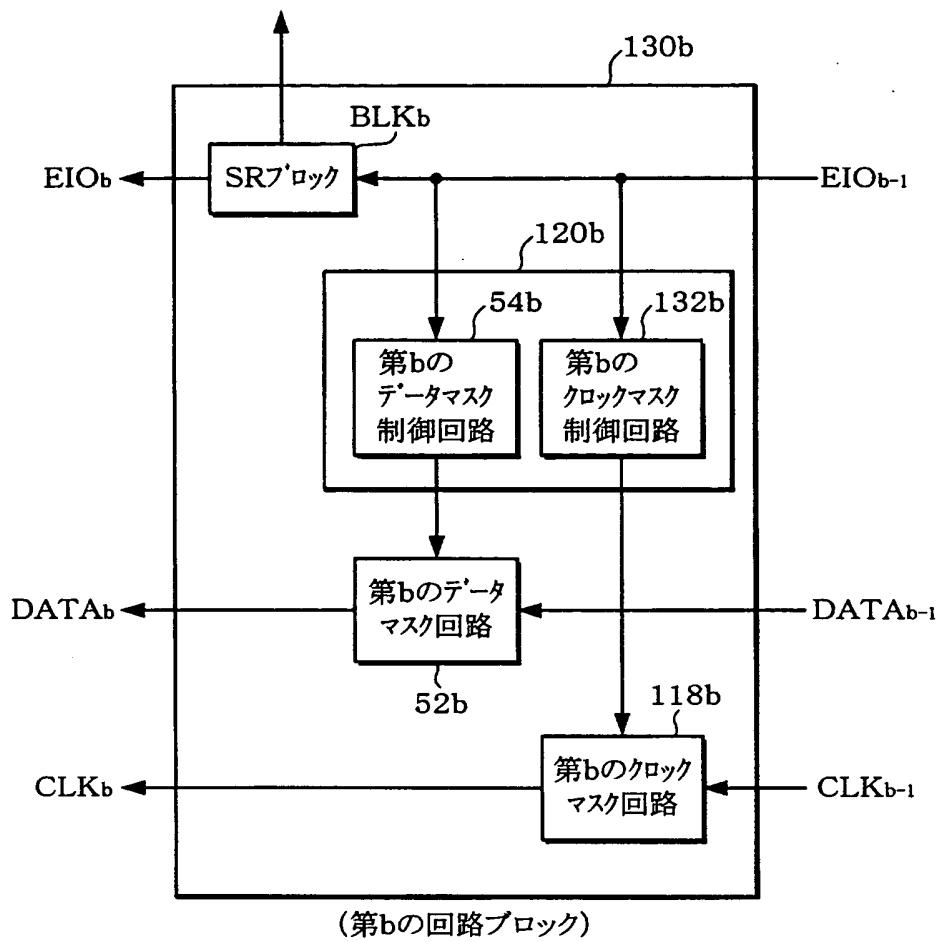
【図16】



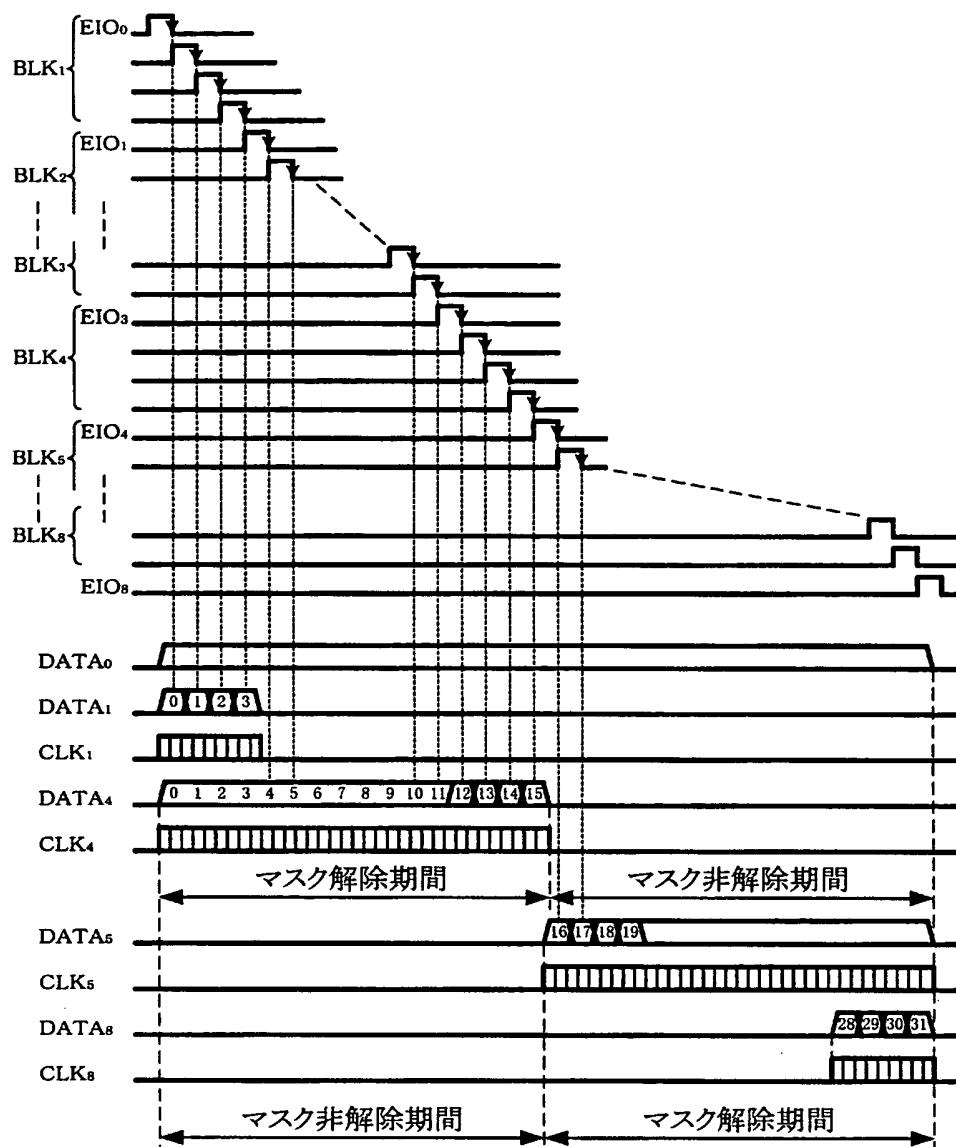
【図17】



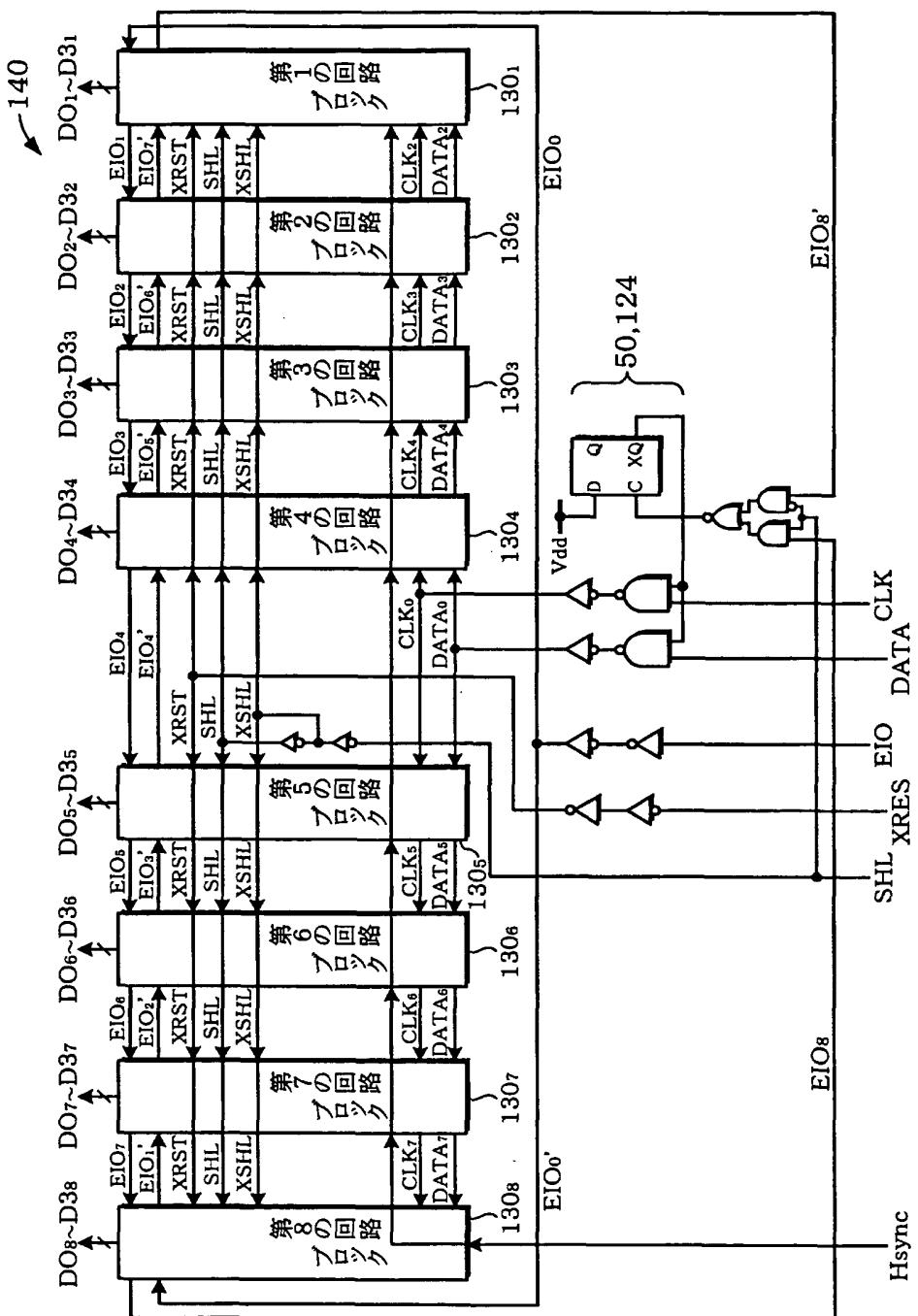
【図18】



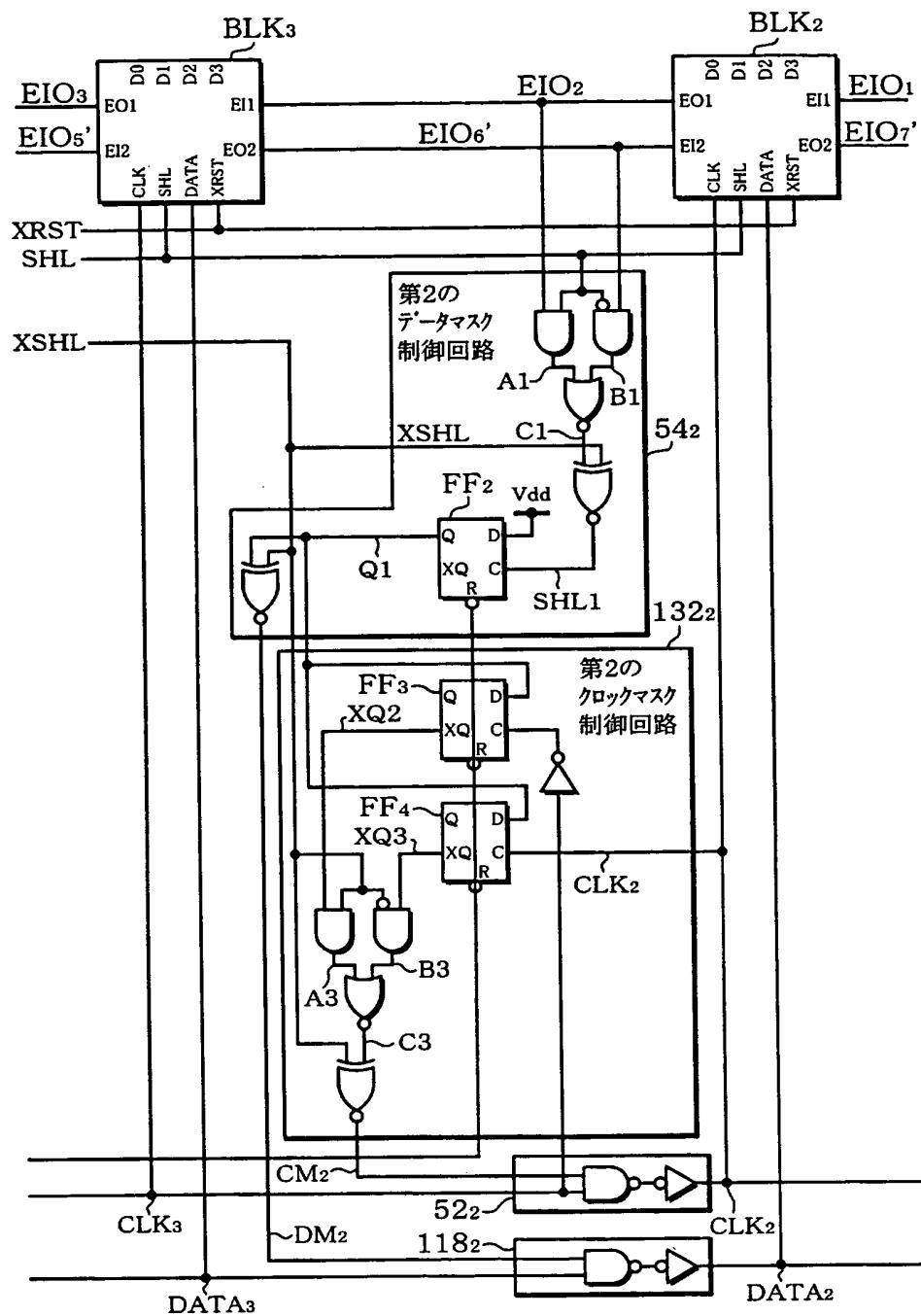
【図19】



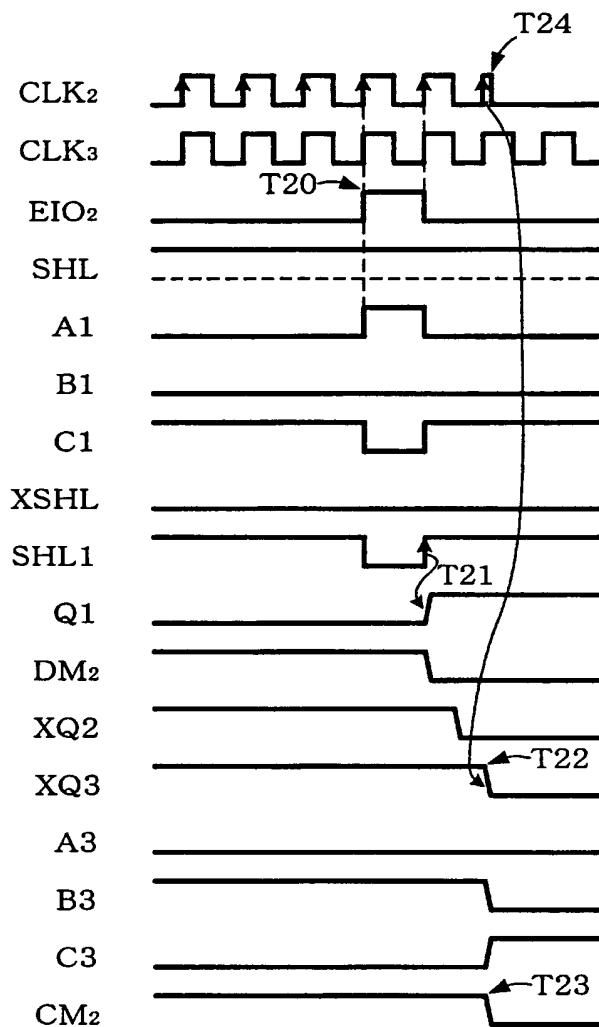
【図20】



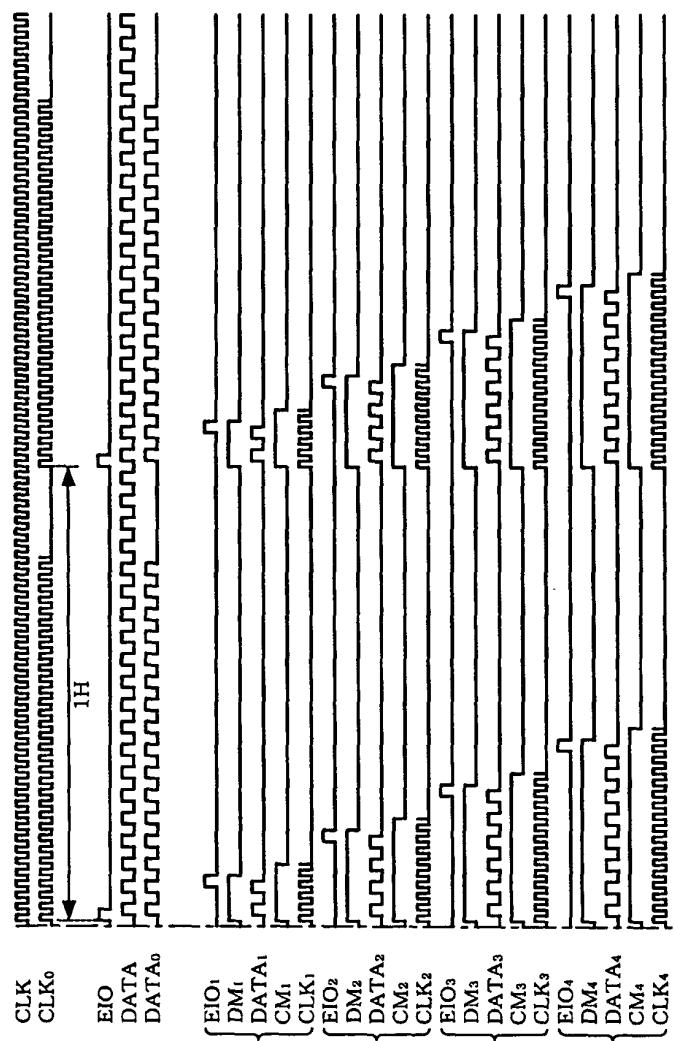
【図21】



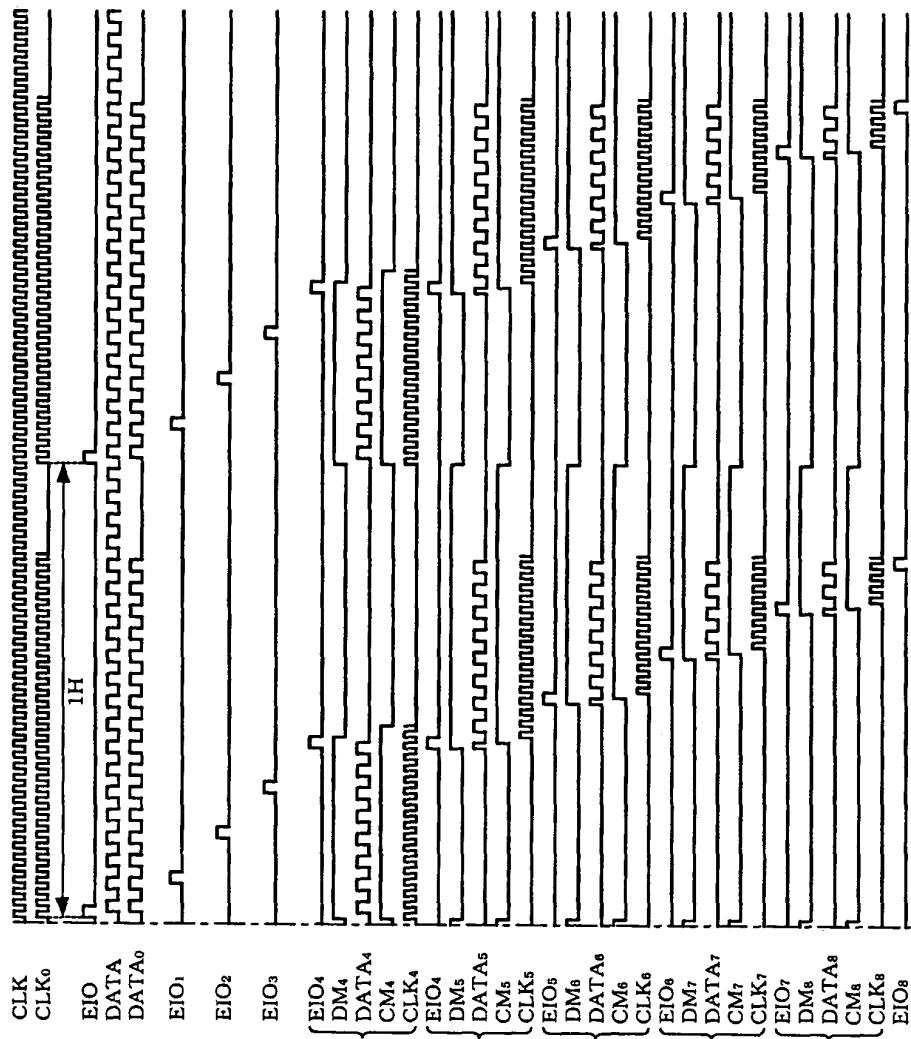
【図22】



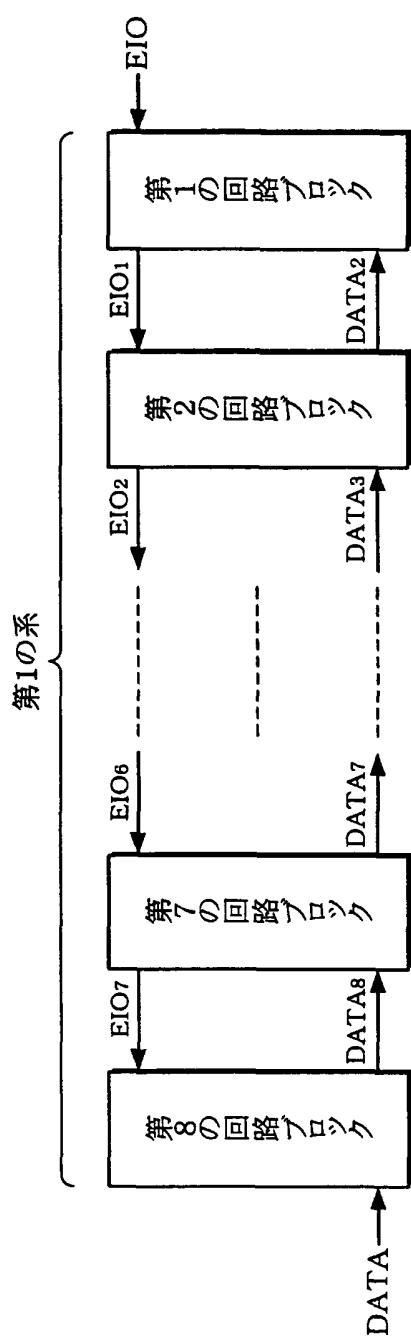
【図23】



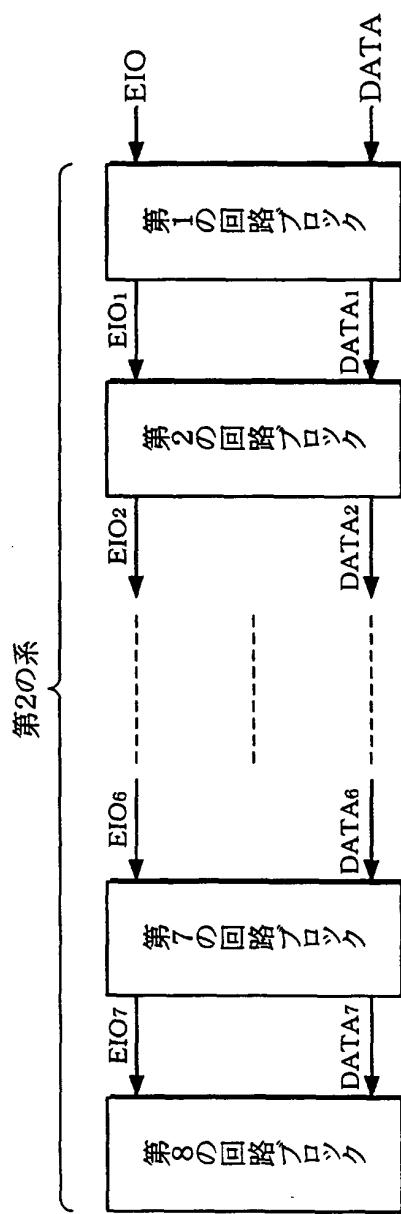
【図24】



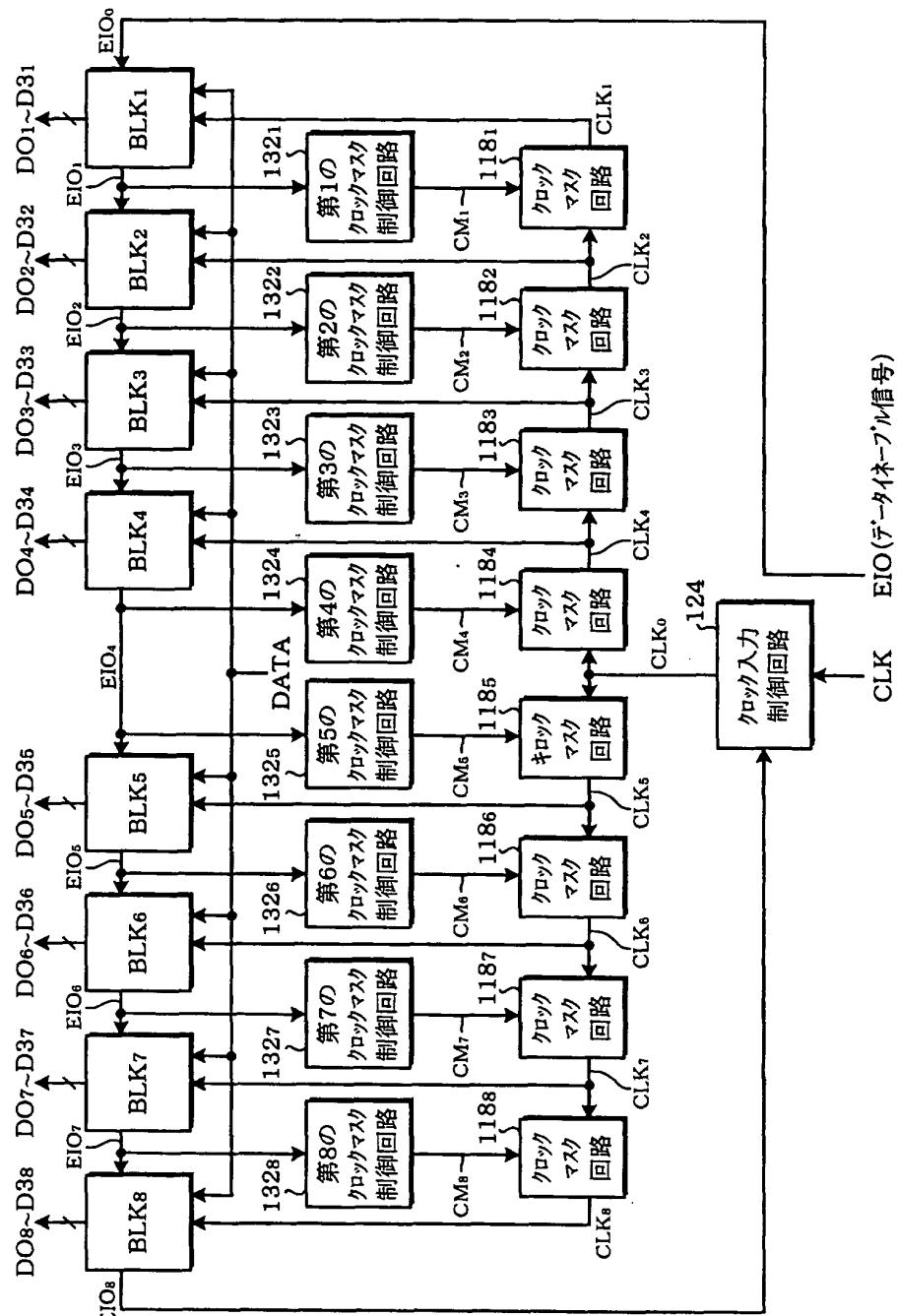
【図25】



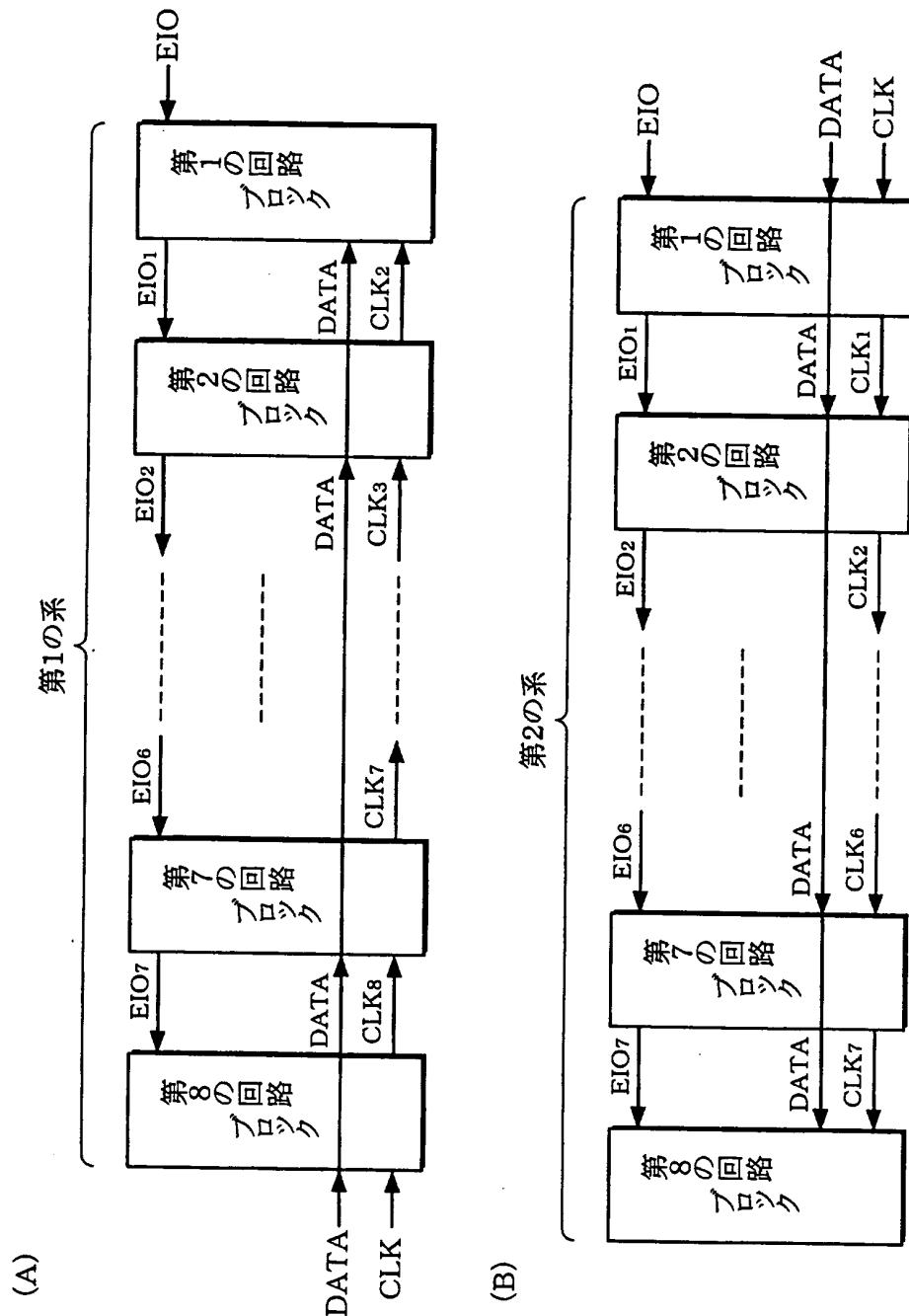
【図26】



【図27】



【図28】



【書類名】 要約書

【要約】

【課題】 階調データの供給に伴う消費電力を削減することができる表示駆動回路及び表示装置を提供する。

【解決手段】 データ入力制御回路50を基準に右側の領域に配置され、第1～第Mの階調データを保持する第1～第MのSRブロックBLK₁～BLK_Mと、左側の領域に配置され、第(M+1)～第(M+N)の階調データを保持する第(M+1)～第(M+N)のSRブロックBLK_{M+1}～BLK_{M+N}を含む。第1～第(M+N)のSRブロックBLK₁～BLK_{M+N}は、各SRブロックにおいてシフトされるデータイネーブル信号に基づきマスク制御される第1～第(M+N)の階調データを保持する。第1～第Mの階調データは、第1～第Mのデータマスク回路52₁～52_Mの順にマスクを非解除状態に設定される。第(M+1)～第(M+N)の階調データは、第(M+1)～第(M+N)のデータマスク回路52_{M+1}～52_{M+N}の順にマスクを解除状態に設定される。

【選択図】 図5

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社